

GaAsSb/InGaAs ダブルゲートトンネル FET における ゲート金属形成プロセスの影響 Influence of gate metallization processes in GaAsSb/InGaAs Double-Gate Tunnel FET

○木瀬 信和¹, 青沼 遼介¹, 宮本 恭幸¹ (1. 東工大)

○N. Kise¹, R. Aonuma¹, and Y. Miyamoto¹ (1. Tokyo Tech.)

E-mail: kise.n.aa@m.titech.ac.jp

1. はじめに

スイッチング動作にバンド間トンネリングを用いるトンネル FET は、従来の MOSFET の理論限界を超えた SS が達成可能であり、次世代の低消費電力デバイスとして期待されている^[1]。我々の研究室では、GaAsSb/InGaAs を用いたダブルゲート構造のトンネル FET のシミュレーションにおいて、高い性能を達成している^[2]。

トンネル FET の SS 改善に向けた課題は、界面準位密度の削減である。界面準位密度はゲート制御性の低下やリーク電流をもたらし、SS を劣化させる。界面準位密度に大きく影響する要因として、ゲート金属形成プロセスがある^[3]。今回、熱蒸着法によりゲート金属を形成したトンネル FET を作製し、電子ビーム蒸着法と比較を行った。

2. デバイスの作製

試作したトンネル FET の構造を Fig.1, SEM 観察像を Fig.2 に示す。p-GaAsSb ソース, i-InGaAs チャネル, n-InGaAs ドレインの層厚は、それぞれ 40 nm, 50 nm, 40 nm である。ゲート絶縁膜は Al₂O₃ 1 nm/HfO₂ 3.2 nm (EOT=1.1 nm) とした。ゲート電極の Ni は斜め方向から 2 回蒸着し、チャネルの両側面に堆積させた。

3. 結果

熱蒸着法によりゲート金属を形成したトンネル FET の電気特性を Fig.3 に示す。SS の最小値は 69 mV/dec, I_{DS}=100 nA/μm のときの DIBL は 50 mV/V, V_{DS}=0.5 V におけるオンオフ比は 8.1×10⁵, 最大ドレイン電流は 13 μA/μm であった。

熱蒸着法と電子ビーム蒸着法の比較を Fig.4 に示す。熱蒸着法ではオフ電流が 1 桁小さく、SS はサブスレッショルド領域全体で向上した。ゲート金属蒸着時に発生する絶縁膜へのダメージが少なく、界面準位密度が減少したためと考えられる。

4. まとめ

GaAsSb/InGaAs ダブルゲートトンネル FET において、ゲート金属形成プロセスの検討を行った。熱蒸着法を採用することで、サブスレッショルド領域の特性を向上した。

5. 参考文献

- [1] A. M. Ionescu, et al., Nature **479**, 329(2011).
- [2] S. Iwata, et al., IEEJ Trans. EIS **136**, no. 4, p. 467(2016).
- [3] G. J. Burek, et al., J. Vac. Sci. Technol. B **29**, 040603(2011).

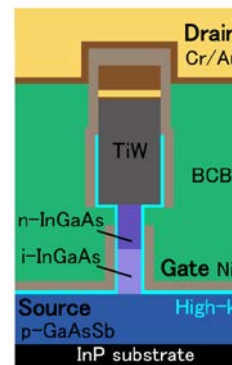
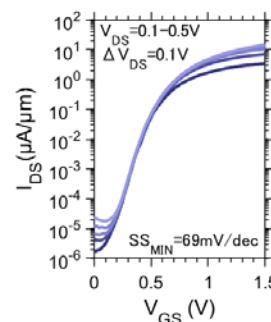


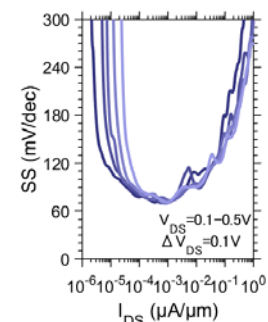
Fig.1 Schematic image of GaAsSb/InGaAs Double-Gate Tunnel FET.



Fig.2 SEM image of fabricated Tunnel FET.

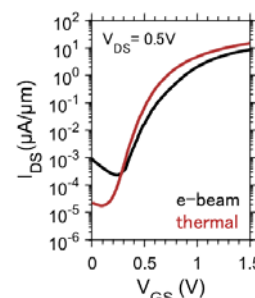


(a) I_{DS}-V_{GS} log

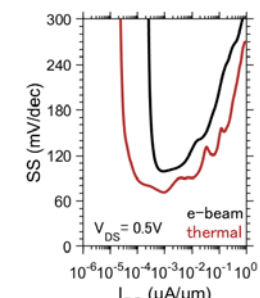


(b) SS-I_{DS}

Fig.3 Electrical characteristics of TFET with gate electrode deposited by thermal evaporation.



(a) I_{DS}-V_{GS} log



(b) SS-I_{DS}

Fig.4 Electrical characteristics of TFET with gate electrode deposited by electron beam evaporation and thermal evaporation.