

HVPE 成長 Ga_2O_3 膜を用いて作製した Ga_2O_3 trench MOSFET

Ga_2O_3 trench MOSFETs fabricated using Ga_2O_3 films grown by HVPE

ノベルクリスタルテクノロジー¹, タムラ製作所²

○佐々木 公平^{1,2}, ティュ クァン トウ¹, 脇本 大樹^{1,2}, 小石川 結樹^{1,2},
高塚 章夫¹, 倉又 朗人^{1,2}, 山腰 茂伸^{1,2}

Novel Crystal Tech.¹, Tamura Corp.²

○Kohei Sasaki^{1,2}, Quang Tu Thieu¹, Daiki Wakimoto^{1,2}, Yuki Koishikawa^{1,2},
Akio Takatsuka¹, Akito Kuramata^{1,2}, and Shigenobu Yamakoshi^{1,2}

E-mail: sasaki@novelcrystal.co.jp

$\beta\text{-Ga}_2\text{O}_3$ は 4.5-4.8 eV という大きなバンドギャップを有し、融液成長法によって高品質な単結晶基板を安価に製造できることから、次世代のパワーデバイス用材料として開発が進められている。これまでに、トレンチ MOS 構造を導入した低損失 Ga_2O_3 SBD およびトレンチ MOS 型 Ga_2O_3 トランジスタの実証に成功していた[1, 2]。今回、プロセス技術とデバイス構造の改良により Ga_2O_3 トランジスタの静特性を改善できたので報告する。

図 1 に試作したデバイスの断面模式図を示す。 Ga_2O_3 (001)基板上に、ドリフト層とコンタクト層を HVPE 法で成長した。ゲート絶縁膜には HfO_2 膜を用いた。ゲート電極は Cu、ソース・ドレイン電極は Ti/Au である。ゲート電極とソース電極の分離層には SiO_2 を用いた。素子終端構造やパッシベーション膜は設けていない。デバイス構造の詳細は図 1 を参照頂きたい。

図 2(a)に DC 特性を示す。ドレイン電流密度(J_{ds})はソース電極の面積から算出した。試作したデバイスは、メサ幅とドナー濃度の関係からノーマリーオン型になっており、ゲート長に対してメサ幅が広い場合、ピンチオフ特性が現れない静電誘導トランジスタの特性を示した。ゲート電圧(V_{gs})が 0V の時の特性オン抵抗($R_{ON,SP}$)は $6.7 \text{ m}\Omega\text{cm}^2$ であった。 J_{ds} は最大で 1.36 kA/cm^2 と大きな値が得られた。図 2(b)に、ドレイン電圧(V_{ds})が 10 V の時のトランスファ特性を示す。 V_{gs} の増加に伴って単調にドレイン電流(I_{ds})が増加し、 10^7 以上のオンオフ比が得られた。 V_{gs} が -60 V の時のオフ耐圧は、終端構造等を設けていないため 100 V 程度であった。

本研究の一部は、文部科学省ナノテクノロジープラットフォーム事業 (NIMS 微細加工プラットフォーム)、12025014(F-17-IT-0002)の支援を受けて実施した。

[1] K. Sasaki, et al.: IEEE Electron Device Lett., **38**, 783-785 (2017).

[2] K. Sasaki, et al.: Appl. Phys. Express, **10**, 124201 (2017).

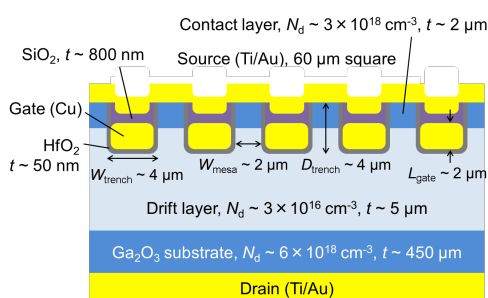


Fig. 1 Schematic illustration of Ga_2O_3 trench MOSFET.

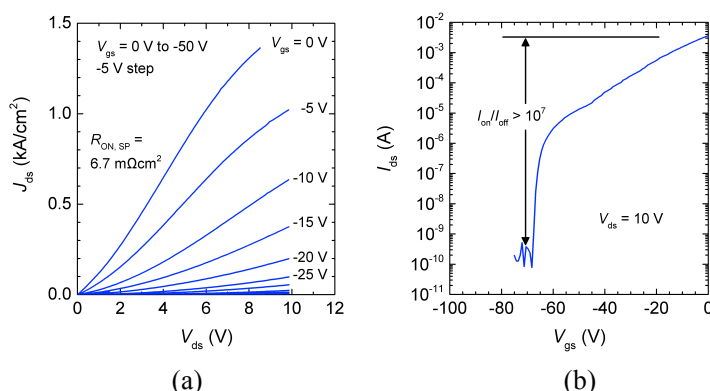


Fig. 2 (a) DC and (b) transfer characteristics.