

CMOS / MTJ ハイブリッド技術に基づく不揮発脳型 VLSI

Nonvolatile Brain-Inspired VLSIs Based on CMOS/MTJ Hybrid Technology

東北大工¹、東北大 CIES²、東北大 CSIS³、東北大 CSRN⁴ ○遠藤 哲郎^{1, 2, 3, 4},

Grad. Sch. Eng.¹, CIES², CSIS³, CSRN⁴ of Tohoku Univ. ○Tetsuo Ednoh^{1,2,3,4}

将来の人工知能システムを実現するために、近年、学習・推論・判断などの機能を持った脳型 VLSI が活発に研究されている。しかし、CMOS 技術による脳型 VLSI では、大きな消費電力が発生してしまい、大きな課題となっている。本招待講演では、CMOS / MTJ ハイブリッド VLSI 技術が脳型コンピューティングとニューロモルフィックコンピューティングに与えるインパクトについて議論する。まず、超低消費電力の優位性を実証するために、我々は、300nm ウエハ上に 90nm-CMOS / 70nm-p-MTJ ハイブリッドプロセスを用いて、IPMA 型垂直 MTJ (p-MTJ) に基づく不揮発メモリを実装した新しい連想プロセッサを開発した。p-MTJ が有する不揮発性、高速アクセス速度、および無制限書き換え回数を利用したインテリジェントなパワーゲーティング技術により、スタンバイ時間だけでなく、アクセス中のメモリセルを自律的にアクティブにし、動作中、アイドル状態にある回路ブロックをパワーゲーティングしスリープモードにすることが可能となっている。その結果、開発・試作した CMOS / MTJ ハイブリッド脳型連想プロセッサにて、従来の CMOS 型連想プロセッサでは 100W 以上消費電力を、600 μ W にまで削減できることを実証した。次に、人間の脳における情報処理にヒントを得たニューロモルフィックプロセッサについて、近年、注目を集めているが、我々の最近の研究では、ニューロモルフィックチップにおけるメモリスティブ素子に MTJ を適用することで、電力消費と回路の複雑性の問題を同時に解決できる可能性を示している。我々は、非常にコンパクトな 1T-2MTJ 回路を備えた 8 個の不揮発性シナプス(NVS)を用いたニューロン回路を提案している。究極のパワーゲーティング方法は、スパイク駆動方式を使用して実現され、入力スパイク信号は、他のスタティック電源供給なしで NVS のダイナミック電源としても利用することができる。プロトタイプ回路は、300nm プロセスで 90nm-CMOS / 70nm-MTJ および 90nm-CMOS / 35nm-MTJ プロセス技術で試作しており、従来のシステムと比較して、68.5%以上、ゲート数の削減を達成している。以上より、CMOS / MTJ ハイブリッド VLSI 技術は、脳型 VLSI の中核技術として期待できる。

謝辞: 本研究は、CIES コンソーシアム(STT-MRAM プロジェクト)、JST ACCEL・OPERA の支援を受けて実施された。

参考文献

1. T. Endoh and Y. Ma, “Nonvolatile Brain-Inspired VLSIs Based on CMOS/MTJ Hybrid Technology for Ultralow-Power Performance and Compact Chip”, Evening Talk of MMM2016, **(Invited)**
2. T. Endoh, “Embedded Nonvolatile Memory with STT-MRAMs and its Application for Nonvolatile Brain-Inspired VLSIs”, 2017 International Symposium on VLSI Technology, Systems and Applications. **(Invited)**
3. T. Endoh, “Embedded Nonvolatile Memory with STT-MRAMs and its Application for Nonvolatile Brain-Inspired VLSIs”, The 9th MRAM Global Innovation Forum 2017 **(Invited)**