

# TLC NAND 型フラッシュメモリにおける LDPC 符号の訂正能力向上に向けたバーストエラー削減手法 Burst Error Reduction for Improvement of LDPC Correction Capability in TLC NAND Flash Memories

○中村 俊貴, 出口 慶明, 竹内 健 (中大理工)

○Toshiki Nakamura, Yoshiaki Deguchi and Ken Takeuchi (Chuo Univ.)

E-mail: toshiki.nakamura@takeuchi-lab.org

## 1. はじめに

大容量、低コストである TLC NAND 型フラッシュメモリに用いられる誤り訂正符号に LDPC 符号がある。LDPC 符号は高い誤り訂正能力を実現するが、バーストエラーにより訂正能力が低下する [1]。本論文では、TLC NAND 型フラッシュメモリのエラー特性を利用し、バーストエラーを削減する Error Dispersion Coding (EDC) を提案する [2]。

## 2. Error Dispersion Coding (EDC)

図 1 に TLC NAND 型フラッシュメモリのしきい値電圧分布を示す。TLC NAND 型フラッシュメモリは 8 つのしきい値電圧状態 (Erase ~ G) を制御することで 1 つのメモリセルに 3 ビットの情報を記憶する。各データはそれぞれ Upper, Middle, Lower ページに保存される。図 2 に TLC NAND 型フラッシュメモリに生じる 1 ステートエラーと 2 ステートエラーを示す。1 ステートエラーとは、“G”から“F”のように、隣のしきい値電圧状態に変化するエラーである。一方、2 ステートエラーとは“G”から“E”のように、2 つ先のしきい値電圧状態に変化するエラーである。これは 1 ステートエラーの  $10^{-5}$  倍程度と非常に少ない [2]。この特性を利用し、書き込む際のデータの順番を変更することでバーストエラーを削減する。

図 3 に提案する Error Dispersion Coding (EDC) のデータを書き込む順番を示す。従来のデータの順番では、同一ページ内に連続したデータを書き込む。それに対し提案の EDC では、メモリセル内の 3 ページに連続したデータを書き込む。このように順番を変えることで、バーストエラーが生じる条件が変化する。

図 4 に従来と提案の EDC のバーストエラーが生じる条件を示す。従来のデータの順番では、隣り合うメモリセルの同一ページ内にエラーが生じるとバーストエラーとなる。これは、1 ステートエラーが原因である。一方、提案の EDC の場合、同一メモリセル内の隣り合うページにエラーが生じたとき、バーストエラーとなる。これは 2 ステートエラーが原因で生じる。2 ステートエラーの数は非常に少ないため、提案の EDC でバーストエラーの低減が期待できる。

図 5 に提案の EDC を用いた場合の検証結果を示す。図より、従来のデータの順番と比較して、2 ビット連続するバーストエラーを 87% 削減することができた。また、提案の EDC を用いて LDPC 符号の復号を行うことで、訂正可能データ保持時間は 2.6 倍増加した。

## 3. 結論

本論文では、TLC NAND 型フラッシュメモリの信頼性向上のため LDPC 符号の訂正能力を向上する EDC を提案した。提案の EDC により、87% のバーストエラーを削減し、訂正可能データ保持時間を 2.6 倍増加した。

## 謝辞

本研究の一部は、JST、CREST の支援 (グラント番号 JPMJCR1532) を受けたものである。

## 参考文献

- [1] T. Tokutomi et al., *IMW*, pp. 133-136, May 2016.
- [2] T. Nakamura et al., *IMW*, pp. 28-31, May 2017.

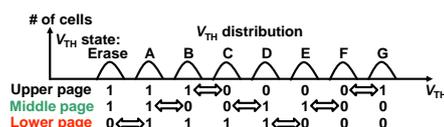


図 1. しきい値電圧分布

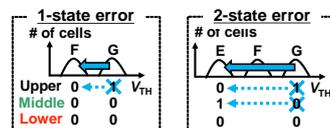


図 2. 1 ステートエラーと 2 ステートエラーの比較

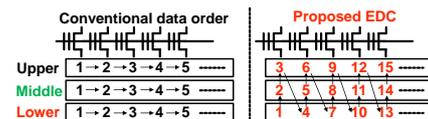


図 3. 書き込むデータの順番の比較

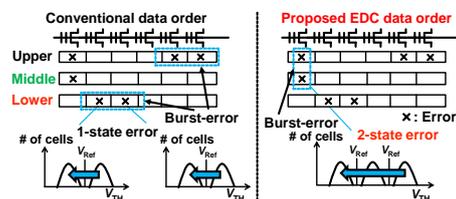


図 4. バーストエラーが生じる条件

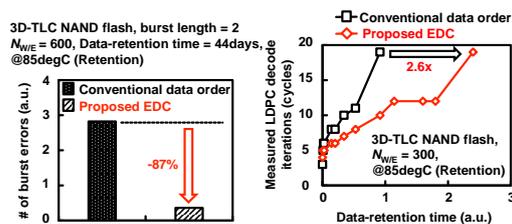


図 5. 提案の EDC 検証結果