

階層型ストアフリー電源遮断を用いた不揮発性 SRAM のエネルギー性能

Energy performance of nonvolatile SRAM using hierarchical store-free shutdown architecture

東工大未来研 北形大樹, 山本修一郎, 菅原聡

D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: kitagata.d@isl.titech.ac.jp

【はじめに】最近のマイクロプロセッサやシステムオンチップ(SoC)には待機時消費電力の削減のため、パワーゲーティング(PG)が用いられている[1]. しかし、現状の PG では CMOS ロジック内の記憶回路が揮発性であることが PG のエネルギー削減効率に制限を与えている. 我々はプロセッサや SoC のコアに適合できる高いエネルギー削減効率の PG を実現するため、不揮発性双安定記憶回路を用いた PG (NVPG)の検討を進めている[2]. これまでに、図 1 に示す強磁性トンネル接合(MTJ)を用いた不揮発性 SRAM (NV-SRAM)[3]や不揮発性フリップフロップについて[4], NVPG のエネルギー性能から技術開発を進めている. NV-SRAM では MTJ への書き込み(以後、ストア動作と呼ぶ)の電力消費が Break-even time (BET; エネルギーを削減できる最少の電源遮断時間)を大きく劣化させるため、NVPG の高効率化にはストアエネルギーの削減が重要である. 今回、我々が既に提案している書き込む必要のないアレイ内ブロックに対してストア動作をスキップするストアフリーアーキテクチャ[5]を改良した階層型ストアフリーアーキテクチャ(Hierarchical store-free architecture; HSF)について報告する. 従来のストアフリーアーキテクチャでは、NV-SRAM の容量が大きい場合に、ストアをスキップする効果が薄れるという問題があったが、HSF ではこれを大幅に改善できる.

【計算方法】図 2 に HSF におけるサブアレイの構成を示す. HSF はセルへの書き込みアクセスの情報を記憶する専用の記憶回路(SFI)を設け、その情報をもとにストアを必要としないサブアレイ、およびストアを必要とするサブアレイ内のストア不要のブロックをストア動作の前に一括して電源遮断する(図 3). 一方、従来型ストアフリーアーキテクチャ(Simple store skipping; SSS)では、全体のシークエンシャルなストア動作の期間内に、SFI に記憶されているストアを必要としないブロックのストア動作をハードウェア的にスキップするのみである(書き込みのためのデコードドライバをゲーティングする). 解析には HSPICE を用い、以下のベンチマークから解析した: NV-SRAM の全記憶セルに対して読み出しと書き込みを n_{RW} 回繰り返す、HSF または SSS に従ってストア動作を行い、必要な電源遮断を行った後、リストア動作によって、情報を双安定回路に書き戻して、電源を復帰する. アレイサイズは 32KB, 256KB, 2MB(L1, L2, L3 キャッシュ相当)とし、これらは 8KB のサブアレイを集積して構成した. これに通常動作、NVPG のための周辺回路と、パワースイッチを制御するためのパワーマネジメントユニット(PMU)を用いて NV-SRAM を構成した.

【解析結果】図 3 に SSS と HSF の BET の削減効果の比較を示す. SSS の場合、ハードウェアのみで容易に実装できるが、ストア時にセルアレイの全領域に対して順次アドレスが発行されるため、特に容量が大きいときは、ストア動作が完了するまで時間がかかる. このため、アレイサイズが小さければ SSS でも効果的に BET を削減できるが、アレイサイズが増加するとストア待機セルのリークにより BET の削減効率が抑制されてしまう. 一方、HSF ではストア動作開始前に SFI の情報から、一括してストアフリー領域を電源遮断できるので、L2, L3 相当の大規模アレイに対しても効果的に BET の削減できる. 以上の結果は試作した NV-SRAM TEG による評価結果とほぼ一致した.

【謝辞】本研究内容の一部は科研費(基盤 A)の支援を受けた. シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである.

【参考文献】[1]Y.Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]S. Yamamoto, and S. Sugahara, Jpn. J. Appl. Phys., **48**, 4, 2009, pp. 043001/1-7. [3]Y.Shuto *et al.*, J. Appl. Phys., **105**, 07C933, 2009. [4]S.Yamamoto *et al.*, IET Electron. Lett., **47**, 18, pp.1027-1029, 2011. [5] Y. Shuto *et al.*, Jpn. J. Appl. Phys., **51**, 4, 2012, pp. 040212/1-3.

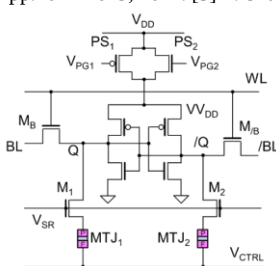


図 1 NV-SRAM セル構成

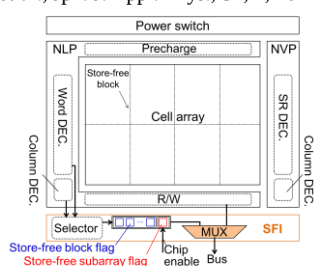


図 2 HSF のサブアレイ構成

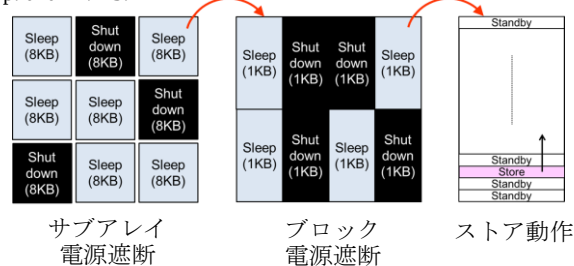


図 3 HSF におけるサブアレイ、ブロックの一括電源遮断と残りのブロックのストア動作

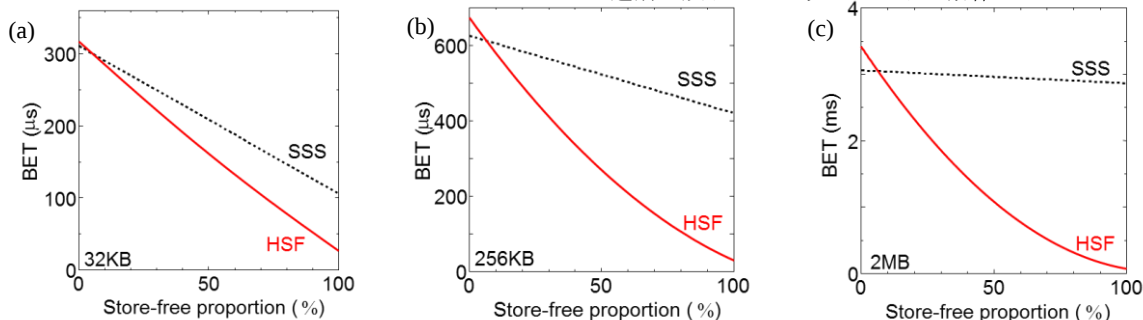


図 4 (a)32KB, (b)256KB, (c)2MB の NV-SRAM における BET のストアフリー割合依存性. 点線および実線はそれぞれ SSS と HSF の場合を示す.