

# 強誘電体負性容量デバイスシミュレーションにおける過渡解析の必要性 Necessity of Transient Analysis in Simulation of Ferroelectric Negative Capacitance Devices

産総研<sup>1</sup>, 東大 工<sup>2</sup> °太田 裕之<sup>1</sup>, 右田 真司<sup>1</sup>, 池上 努<sup>1</sup>, 服部 淳一<sup>1</sup>, 浅井 栄大<sup>1</sup>,  
福田 浩一<sup>1</sup>, 鳥海 明<sup>2</sup>

AIST<sup>1</sup>, Univ. of Tokyo<sup>2</sup>, °H. Ota<sup>1</sup>, S. Migita<sup>1</sup>, T. Ikegami<sup>1</sup>, J. Hattori<sup>1</sup>, H. Asai<sup>1</sup>,  
K. Fukuda<sup>1</sup>, and A. Toriumi<sup>2</sup>

E-mail: hi-ota@aist.go.jp

【はじめに】近年、スマートセンサーノード等、極低消費エネルギーデバイスへの応用を見据えて、強誘電体の負性容量効果を用いた急峻スイッチングトランジスタ[1]が注目されている。ここに急峻スイッチングトランジスタとは、subthreshold swing (SS)が従来トランジスタの物理限界である 60 mV/decade を下回るデバイスである。最近、HfO<sub>2</sub>系材料で強誘電性が見いだされ、これら強誘電材料をゲート絶縁膜とするトランジスタにおいて、SS 急峻化が Si[2,3], Ge[4]等にて報告されている。さらなる特性改善の指針を示すためには technology computer-aided design(TCAD)が重要である。そこで、本研究では、TCAD への Landau-Khalatnikov 方程式の取り込み方について基本的な考察を行ったので報告する。

【Simulation】強誘電体負性容量の基礎方程式である Landau-Khalatnikov 方程式は

$$\rho \frac{dP}{dt} = -\nabla_p G \quad (1)$$

$$G = \alpha P^2 + \beta P^4 + \gamma P^6 - EP \quad (2)$$

で与えられる[1]。ここに  $\rho$ ,  $\alpha$ ,  $\beta$ ,  $\gamma$  は強誘電体の材料パラメータ、 $G$  は Gibb's free energy,  $P$  は分極、 $E$  は強誘電体内部の電界である。NC-FET の DC 特性の従来の計算にあたっては、(1)において、 $d/dt=0$  において

$$E = 2\alpha P + 4\beta P^3 + 6\gamma P^5 \quad (3)$$

から強誘電体の電界と分極を求め、デバイス特

性の計算を行う場合が殆どである[1,5 等]。この仮定の妥当性に関して、簡単な容量計算を例に検討を行った。

【結果と考察】Figure 1 は式(3)を仮定して計算した金属(M)/強誘電体(F)/絶縁膜(I)/金属(M)構造の容量特性である。容量は  $dQ/dV$  で定義する。ここに  $Q$  は M 層の電荷である。F 層のパラメータとして、残留分極  $20 \mu\text{C}/\text{cm}^2$ , 抗電界  $1.0 \text{ MV}/\text{cm}$ , 膜厚  $4 \text{ nm}$  を仮定した。I 層は SiO<sub>2</sub> とし、膜厚は  $0.5 \sim 1.0 \text{ nm}$  とした。Figure 1 から、I 層が  $0.5 \text{ nm}$  で全キャパシタンスが負になっており、この条件では物理的に不合理な解となった。Figure 2 は Fig. 1 と同一構造の容量を(1)式で計算した容量である。容量は微小交流電界による微分容量で定義した。Figure 2 に示す通り、(1)式で計算した場合は、Fig. 1 のような物理的な破たんは見られない。

これらの結果は、強誘電体負性容量デバイスの特性計算にあたっては、(3)式を仮定した DC アプローチが必ずしも妥当ではなく、過渡解析が必要であることを示している。

【謝辞】本研究は、JST、CREST(JPMJCR14F2)の支援を受けたものである。

【参考文献】 [1] S. Salahuddin and S. Datta, Nano Letters, **8** (2008) 405. [2] M.H. Lee *et al.*, IEDM Tech. Dig. 2015, p.616. [3] M.H. Lee *et al.*, IEDM Tech. Dig. 2016, p.306. [4] J. Zhou *et al.*, IEDM Tech. Dig. 2016, p. 310. [5] H. Ota *et al.*, IEDM Tech. Dig. 2016, p.318.

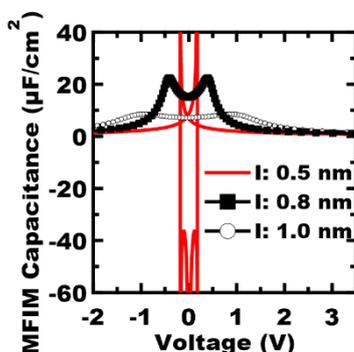


Fig. 1 Simulated C-V curves assuming the steady condition expressed by Eq. (3). Physically unrealistic solutions (the total capacitance is negative) are obtained in the condition where the SiO<sub>2</sub> thickness is 0.5 nm.

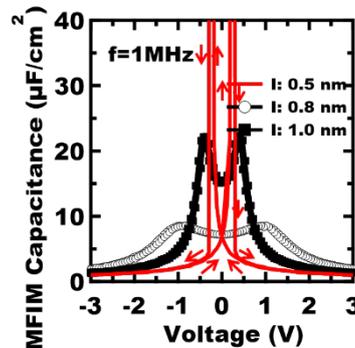


Fig. 2 Simulated MFIM capacitance. Hysteresis can be seen in the case that thickens of I layer 0.5 nm.