

酸化膜破壊および Poly-Si ヒューズを用いた標準 CMOS プロセス準拠の複数回書き込みメモリ

Pure CMOS Few-Time Programmable Memories using a Combination of Gate-Ox Anti-fuse and Poly-Si Fuse

東芝 研究開発センター ○松本 麻里, 小田 聖翔, 安田 心一

Corporate R&D Center, Toshiba Corporation, ○Mari Matsumoto, Masato Oda, Shinichi Yasuda

E-mail: mari.matsumoto@toshiba.co.jp

【背景】OTP (One Time Programmable) メモリは 1 回のみ書き込みが可能な不可逆メモリである。不揮発メモリではその製造に特殊なプロセスが必要となるが、OTP メモリは特殊なプロセスを必要とせず、安価で作製でき、セキュリティ用途等のメモリとして広く利用されている。OTP メモリは、トランジスタの酸化膜破壊を利用したものがよく知られている[1,2]。我々はこれまでに酸化膜破壊とゲート破断による異なる手法の OTP メモリの提案をおこなっている[3]。本報告では、上記 OTP メモリの書き込み手法を応用し、汎用 CMOS プロセスでありながらゲート構造および書き込み方法の変更により、複数回書き込みが可能な FTP (Few Time Programmable) メモリの提案を行い、試作・評価した結果を報告する。

【実験】今回試作した FTP メモリの構造は、AA (Active Area) とそれに直交する複数のゲート Poly-Si があり、これらゲート Poly-Si は櫛状に一端で接続している構造とし (Fig.1)、AA と直交するゲート Poly-Si の本数が書き込み可能回数となる。書き込みおよびリセット時の IV 特性は、標準 CMOS プロセスによる N 型 MOSFET のゲートにパルス電圧を印加することで複数回の書き込みおよびリセットを可能としている。複数ある Poly-Si ゲートのうち 1 本で酸化膜破壊が生じた場合、ゲート・ソース間およびゲート・ドレインが低抵抗状態となる。さらにパルス電圧を印加することにより前記破壊で生じた電流パスに過電流が流れることで Poly-Si ゲートが破断し、高抵抗となることでリセットされ、(Fig.1(b))、更なる電圧印加で 2 回目の書き込みおよびリセットを可能とする (Fig.1(c), (d))。

【結果】書き込みおよびリセットに殆どゲート幅依存性は見られない (Fig.2)。さらに、Fig.3 にゲート Poly-Si の本数が 2 本のときと 3 本のときとで、書き込みおよびリセットに必要なパルス電圧値について示す。これより、1 回目、2 回目の書き込みおよびリセットについてはゲート本数に関わらず同程度の電圧で実現でき、ゲート Poly-Si の本数に依存せず複数の書き込みが可能である。また、複数回書き込みが可能となることでメモリアレイ面積の削減にも有効である。

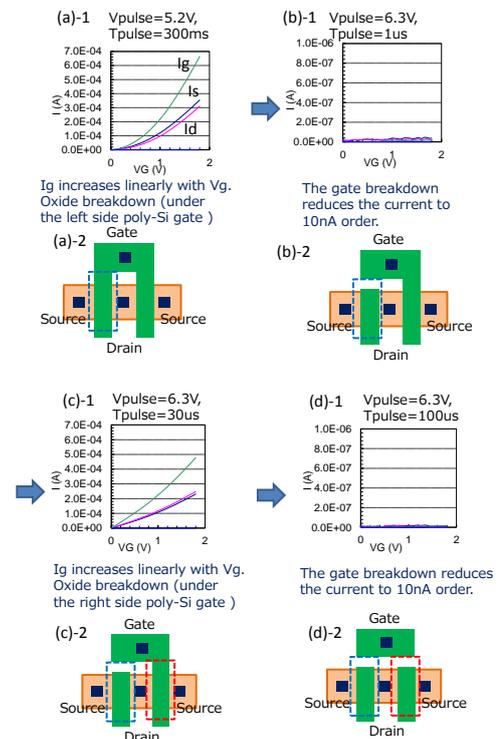


Fig.1 Operating principle of the FTP memory. (a)1st write, (b)1st reset, (c)2nd write, (d)2nd reset

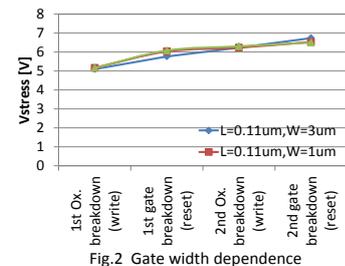


Fig.2 Gate width dependence

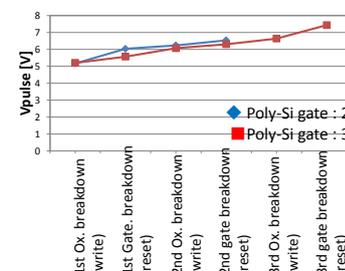


Fig.3 Write/Reset voltage for the FTP memory

【参考文献】

- [1] H. Ito, T. Namekawa, CICC 2004, pp.469-471., [2] K. Matsufuji, et al., A-SSCC, pp. 212-215, 2007., [3] M. Matsumoto, et al., SSDM, pp. 844-845, 2015.