

SiC デバイスの高信頼性化に向けた CMP 面質評価

Evaluation of CMP surface quality for high reliabilities of SiC devices

産業技術総合研究所¹, 株式会社フジミインコーポレーテッド², 株式会社東レリサーチセンター³,

昭和電工株式会社⁴, JFE テクノリサーチ株式会社⁵

○平野真也^{1,2}, 山田敬一^{1,3}, 宮坂晶^{1,4}, 着本享^{1,5}, 升本恵子¹,

先崎純寿¹, 河田研治¹, 加藤智久¹, 奥村元¹

ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY(AIST)¹, FUJIMI INCORPORATED²,

TORAY Research Center, Inc.³, SHOWA DENKO K.K.⁴, JFE Techno-Research Corporation⁵

○Shinya Hirano^{1,2}, Keiichi Yamada^{1,3}, Akira Miyasaka^{1,4}, Keiko Masumoto¹, Susumu Tsukimoto^{1,5},

Junji Senzaki¹, Kenji Kawata¹, Tomohisa Kato¹, Hajime Okumura¹ E-mail: s-hirano@aist.go.jp

SiC の化学機械研磨 (CMP) 工程は、ダメージレスな超平滑面の実現と高生産性化の要求がある。そこで我々は高速 CMP プロセス開発を行ってきたが、デバイスレディ面質を実証済みの高面質 CMP プロセスとの面質比較では、表面傷や平滑度の観点からは殆ど同等といえる結果を得たものの、高温水素エッチングを行うとバンチドステップ密度に明瞭な差が確認された[1]。

我々は CMP の加工条件や面質と①エピ特性との相関、②デバイス特性への影響を明確にし、デバイスの高信頼性化に必要な加工品質の明確化と、更なる CMP の高品質化を目的としている。

図 1 には二種類の条件を用いて CMP したウェハ上に作製した MOS キャパシタの定電流ストレス TDDB (Time Dependent Dielectric Breakdown) 結果を示す。Sample A(高面質 CMP 面にエピ (30 μm)), 同 B (高速 CMP 面にエピ (30 μm)) の 2 種類を比較した。その結果、Sample A は高 Qbd 領域においてバンチングフリー領域に作製された MOS キャパシタの TDDB 特性 (D1) と Qbd 低下が生じたバンチング領域 (D2) とが混在していることがわかった。一方、Sample B はその殆どが D2 に分布しウェハ全面に存在するステップバンチングにより Qbd 低下が生じた。

図 2 には(a)高面質 CMP 面、(b)高速 CMP 面のミラー式電子顕微鏡(MEM)像を示す。(b)にはナノオーダーサイズの黒点が基板全面において高密度に確認されたことから、この黒点がステップバンチングの起点となっている可能性が示唆される。当日は、条件(b)の課題と MOS キャパシタ信頼性について MEM 及び TEM 観察を中心とした物理解析結果から議論する。

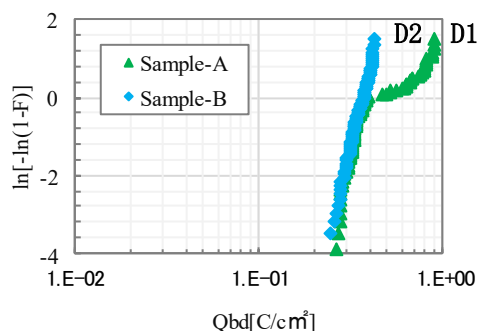
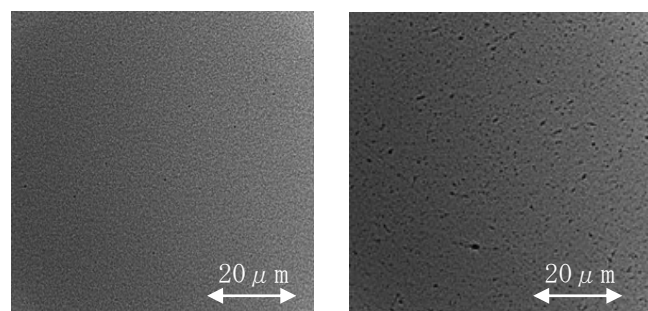


Fig.1 Weibull-distribution plots for Qbd of the MOS capacitors on the two samples



(a) High-quality CMP surface (b) High-efficient CMP surface

Fig.2 Typical MEM images of two type as CMP surfaces

【謝辞】本研究は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム) 「次世代パワーエレクトロニクス/SiC 次世代パワーエレクトロニクスの統合的研究開発」 (管理法人: NEDO) の成果である。また、ミラー電子顕微鏡の評価にあたり多大なるご協力を頂いた株式会社日立ハイテクノロジーズ関係各位に深く感謝の意を表する。

【参考文献】 [1] 平野真也ほか、 砥粒加工学会誌, 60, 353 (2016).