ALD により形成した High-к/MoS₂ MOS 構造の電気特性評価 Characterization of Electrical Properties of High-к/MoS₂ Fabricating through ALD 産総研、^O張文馨、岡田直也、浅井栄大、福田浩一、入沢寿史

AIST, °W. H. Chang, N. Okada, H. Asai, K. Fukuda, T. Irisawa

E-mail: wh-chang@aist.go.jp

【背景】二次元半導体材料である MoS₂は、 わずか数原子層という極薄膜においても比較 的高いキャリア移動度を有するため^[1,2]、将来 の極薄トランジスタ用チャネル材料として注 目されている。また、理想的な MoS₂表面には、 ダングリングボンドが存在しないため、界面 準位の極めて少ない究極的な MOS 界面形成 が実現されるという期待も持たれる。しかし ながら、フロントゲートによる high-κ絶縁膜 と MoS2の界面評価の報告例は少なく、界面物 性理解やプロセス最適化に関する検討は進ん でいない。本研究では、ゲート絶縁膜の堆積 手法として plasma ALD を用い、MoS₂上に各 種 high-κ絶縁膜(HfO_x, Al₂O_x, ZrO_x)を堆積さ せ、フロントゲート MOS キャパシタの C-V 特性を評価した。

【実験】実験に用いた MOS キャパシタの光 学顕微鏡像と断面模式図を図 1 に示す。バル ク n 型 MoS₂から剥離した膜厚 5 μ m 程度の MoS₂上に Ni(20 nm)/Au(100 nm)を真空蒸着に よ り 堆積 した後、別途用意した Au(100 nm)/Ti(10 nm)/SiO₂(100 nm)/Si 基板上に Au 同 士を接合面として接合した(接合後 400°Cアニ ール実施)。次に、plasma ALD(基板温度: 300 °C)により、Si 基板上で膜厚 10 nm の HfO₂、Al₂O₃、ZrO₂となる条件にて HfO_x、Al₂O_x 及び ZrO_x 膜をそれぞれ堆積させた。最後に、 シャドーマスクを用いて、円形 Au 電極を蒸着 して、MOS キャパシタを作製した。



Fig. 1 (a) Optical micrograph top view and (b) schematic cross-section of $MoS_2 MOS$ capacitors.

【結果及び考察】図2にAu/ALD-HfO_x/MoS₂、 Au/ALD-Al₂O_x/MoS₂及びAu/ALD-ZrO_x/MoS₂ 構造を有する MOS キャパシタの *C-V* 特性を 示す。Au/ALD-HfO_x/MoS₂構造では、空乏-反 転領域において、ZrO_xやAl₂O_xと比べて周波 数分散が非常に大きく(図 2)、HfO_x/MoS₂界 面の D_{it}が大きいことを示唆している。一方、 絶縁膜膜厚を 10 nm として誘電率を C_{OX} 値か ら見積もると、ZrO_xは 13.6、Al₂O_xは 3.4 とな り、ZrO_x膜でより Si 基板上での値に近い値が 得られた。以上より、今回の成膜条件におい て良好な界面特性を維持しつつ、薄い EOT を 実現するにはZrO_xが有利である事が示された。



Fig. 2 *C-V* characteristics of the MOS capacitors with (a) Au/ALD-HfO_x/MoS₂ (b) Au/ALD-Al₂O_x/MoS₂ and (c) Au/ALD-ZrO_x/MoS₂ structures.

【謝辞】本研究は、JST CREST(グラント番号 JPMJCR16F3)の助成を受けて実施された。 【参考文献】[1] K. Kaasbjerg et al., Phys. Rev. B 85, 115317 (2012). [2] S. Das et al., *Nano Lett.* 13, 100 (2013).