

AlO_x, TiO_x, PtO_x バッファ層の PbLa(Zr, Ti)O₃ 薄膜結晶性への影響

Dependence of {111}-textured PbLa(Zr,Ti)O₃ thin films on Pt electrode using AlO_x, TiO_x, or PtO_x buffer layer

富士通セミコンダクター¹, 富士通研², 和歌山大³, ○王 文生¹, 野村 健二², 中村 亘¹, 恵下 隆^{3,1}, 小澤 聡一郎¹,
山口 秀史², 高井 一章¹, 渡邊 純一¹, 三原 智¹, 彦坂 幸信¹, 濱田 誠¹, 片岡 祐治², 児島 学¹

Fujitsu Semiconductor Ltd.¹, Fujitsu Lab.², Wakayama Univ.³, ○Wensheng Wang¹, Kenji Nomura², Ko Nakamura¹,
Takashi Eshita^{3,1}, Soichiro Ozawa¹, Hideshi Yamaguchi², Kazuaki Takai¹, Junichi Watanabe¹, Satoru Mihara¹,
Yukinobu Hikosaka¹, Makoto Hamada¹, Yuji Kataoka² and Manabu Kojima¹

E-mail: wangws@jp.fujitsu.com

我々は、ICカードの多機能化及び近年注目されている IoT (Internet of Things) 市場のニーズに対応して、低電圧動作、高集積度の FRAM 製品用に、電気的特性の優れた PLZT (PbLa(Zr, Ti)O₃) の成膜プロセスを開発した。PLZT の {111} 配向性を向上させることで、強誘電体キャパシタの電気特性を向上させることができ¹⁾、その結果 FRAM の製造歩留まりを向上させることができた。PLZT の結晶性は下部電極の結晶性に大きく影響され、さらに下部電極の結晶性はその下のバッファ層の材料に依存する。そこで、今回は幾つかの材料でバッファ層を形成し、強誘電体キャパシタと FRAM の特性との関係を調べた。0.18 μm CMOS 製造プロセスを用いて、トランジスタ層と 5 層金属配線の間に強誘電体キャパシタを形成して FRAM を作製した。キャパシタの電極、強誘電体膜及びバッファ層の成膜にはスパッタリング法を用いた。バッファ層として、厚さ 20 nm の AlO_x、TiO_x、PtO_x 又は Ti 膜を用い、その上に {111} 配向した Pt 下部電極膜を形成した。さらにその上にアモルファス PLZT を成膜し、熱処理により結晶化し、その上に IrO₂ 上部電極を形成した。測定したキャパシタの分極特性は、Ti バッファ層の上に形成したキャパシタが、他のキャパシタより悪い。一方、バッファ層の種類によって、FRAM の製造歩留まりも大きく変わることがわかった。つまり、バッファ層として、AlO_x を用いた場合、TiO_x や PtO_x を用いた場合より、FRAM 製造歩留まりが高い。それぞれのバッファ層上へ形成した下部電極及び PLZT 膜の結晶性を図 1 に示す。AlO_x 上形成した Pt 及び PLZT は非常に均一に {111} 配向している。これが FRAM 製造歩留まりへの影響を与える大きな原因の一つと推察する。当日発表では、各バッファ層の表面モフォロジと下部電極の結晶性との関係についても述べる。

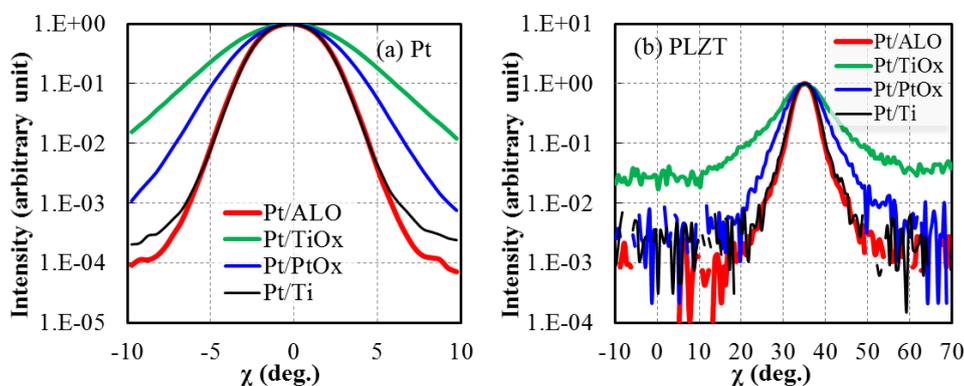


Figure 1. X-ray diffraction patterns of (a) Pt and (b) PLZT as a function of AlO_x, PtO_x, TiO_x or Ti buffer layer.

References : [1] W. Wang et al., *Jpn. J. Appl. Phys.*, 56, 10PF14 (2017).