強誘電体ゲート FET における負性容量発現機構

Emergence of the Negative Capacitance in Ferroelectric-gate FETs

°高田 賢志，桐谷 乃輔 吉村 武，芦田 淳，藤村 紀文（阪府大工）
°K. Takada, D. Kiriya, T. Yoshimura, A. Ashida, N. Fujimura
(Graduate School of Eng., Osaka Pref.Univ.)　E-mail: fujim@pe.osakafu-u.ac.jp

【Introduction】

IoT 技術の発展により、超低消費電力 CMOS デバイスが求められており、それを実現する新たなデバイスとして負性容量(NC)FET が注目されている。動作電流を維持した状態で駆動電圧を低減するためには、サブスレッショルド係数の理論限界 60 mV/dec を超える必要があり、強誘電体を用いた NCFET はその実現が可能なデバイスの候補として多くの理論的[1,2]・実験的[3]検討が進められている。しかし、強誘電体ゲート FET 動作時の負性容量発現メカニズムは明らかになっておらず、NCFET の設計指針の構築が求められている。そこで本報告においては、時間発展を考慮した分極反転モデルである L-K 方程式を用い、Metal/Ferroelectric/Semiconductor(MFS)キャパシタの電気的特性のシミュレーションを行い負性容量の発現機構を考察したので報告する。

【Experiment and Result】

$$\gamma\frac{dP}{dt} = -\frac{dF}{dP} \quad (1), \qquad F = \frac{V_f}{d_f} - aP - bP^3 - cP^5 \quad (2)$$

分極反転モデルは時間発展を考慮した(1)式の LK 方程式を用いた。ここで、自由エネルギーF は(2)式のように表される。また、半導体の表面ポテンシャルと表面電荷密度の関係は[4]に示されている。

強誘電体の特性には、残留分極$P_r = 23\ \mu C/cm^2$,抗電界$E_c = 2\ MV/cm$)である HfO_2 を仮定した。その場合の MFM 構造における分極-電界(P-E)特性は Fig.1 (a)の様に表せる。アクセプタ濃度$N_A = 3 \times 10^{15}\ cm^{-3}$の p 型 Si を用いた MFS 構造における減衰係数$\gamma = 10$、周波数$f = 1$MHzの場合の P-E ヒステリシスのシミュレーション結果は、Fig.1 (b)の様になる。強誘電体/半導体界面において NC 効果が得られる場合、分極反転直前においては残留分極に起因して、強誘電体にはゲート電圧と半導体からの反電界が印加されており、それらは Fig.2(a)の様に分配されて存在する。分極反転直後はその電圧が瞬時に Fig.2 (b)に示すような配分で半導体に印加される。従って、強誘電体薄膜への印加電界が減少し、Fig.1(b)のような PE ヒステリシスへと変化する。このような MFS キャパシタにおける強誘電体の分極反転のダイナミクスと負性容量の発現挙動との関係を議論する。

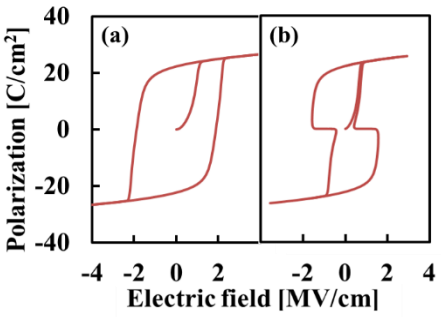

Fig.1 P-E hysteresis loops of MFM, (a) and MFS(b) capacitors

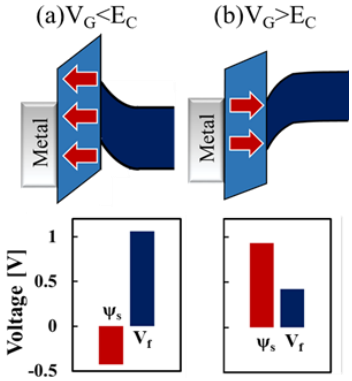

Fig.2 Schematics of band alignment before (a) and after (b) polarization switching, and voltage distribution (surface potential and voltage to ferroelectric) at the interfaces

[References]

[1] K. Jang et al. Jpn. J. Appl. Phys. 57, 024201 (2018)

[2] M. Kobayashi and T. Hiramoto AIP Advances 6, 025113 (2016)

[3] J. Jaesung et al. Nano Lett. 15, 4553 (2015)

[4] S. M. Sze. (2006) Physics of Semiconductor devices (3rd ed.). New York: Wiley-Interscience.