2 段階作製法で製膜した p 型 CuI 薄膜のパッシベーション層開発 ーヘテロ接合型 Si 系太陽電池の新規正孔選択輸送層としてー

Development of the Passivation Layer for p-type CuI Thin Film Prepared by 2-step Method -As a New Hole Selective Contact for the Silicon Heterojunction Solar Cells-

名大院工，°(M1)崔 敏，後藤 和泰，黒川 康良，宇佐美 徳隆
Nagoya Univ., °(M1) Min Cui, Kazuhiro Gotoh, Yasuyoshi Kurokawa, Noritaka Usami
E-mail: cui.min@e.mbox.nagoya-u.ac.jp

はじめに

近年，結晶 Si に対しヘテロ接合材料を用いてキャリアの選択的輸送を実現するヘテロ接合型 Si 系太陽電池が大きな注目を集めている．ヘテロ接合材料はそのバンド構造により Si 中の電子または正孔を選択的に輸送するが，Si との界面において欠陥準位を形成しやすい．したがって，ヘテロ接合界面のパッシベーションが太陽電池を高効率化するための課題となっている．

Si 系太陽電池の新規正孔選択輸送層として，p 型ヨウ化銅（CuI）に注目した．CuI は Si に対し，価電子帯ではほとんどオフセットがない一方，伝導帯では高い障壁を形成するため，正孔のみを選択的に輸送する．我々は，n-Si 基板上に Cu を真空蒸着してからヨウ素蒸気にさらすことで Cu をヨウ化させる 2 段階作製法によって高品質な CuI 薄膜の製膜に成功した．また，CuI/Si 界面のパッシベーション層として脱イオンオゾン水によるトンネル酸化膜（SiO_x）を導入し，太陽電池を作製したが，得られた開放電圧（V_{OC}）は 450 mV と比較的に低いものであった．

本研究では，CuI を正孔選択輸送層とした太陽電池の V_{OC} 向上を目的に，CuI/Si 界面に PEVCD 法による i-a-Si:H と i-a-SiO_x:H のスタッキング膜を導入し，CuI 製膜前後の少数キャリアライフタイムを評価することで，CuI/Si のパッシベーションに適したスタッキング構造を突き止めた．

実験方法

洗浄した p-Si 基板の両面に PECVD 法より膜厚が異なる i-a-Si:H と i-a-SiO_x:H を順番に製膜した．これらを大気中 200ºC で 10 分間加熱し，加熱前後の少数キャリアライフタイムを QSSPC 法より評価した．製膜条件と各層の膜厚は Table 1 にまとめた．また，各試料の片面に 2 段階作製法で CuI を 150 nm 製膜し，再度 QSSPC 法よりライフタイムを評価し，CuI 製膜前と比較した．

Table 1: The condition of PECVD and the thickness of i-a-SiO_x:H/i-a-Si:H/p-Si/i-a-Si:H/i-a-SiO_x:H stacking.

	SiH_4 [sccm]	CO_2 [sccm]	Thickness [nm]			
i-a-Si:H	40	0	7	4.5	2.5	1.5
i-a-SiO_x:H	20	40	0	2.5	4.5	5.5

実験結果および考察

Figure 1 に作製した試料の加熱前後，及び CuI 製膜後の少数キャリアライフタイムを QSSPC 法より評価した結果を示す．比較のため，いずれも少数キャリア濃度 1.0×10^{15} cm^{-3} におけるライフタイムを示した．スタッキング膜全体の膜厚は 7 nm と一定であるが，製膜直後のライフタイムに関しては，i-a-Si:H 層の膜厚 2.5 nm 以上よりパッシベーション効果が表れ始めた．これは，PECVD 法より製膜した i-a-Si:H 層が Si 基板表面を完全に覆ってパッシベーションするのに一定以上の膜厚を要するからであると思われる．また，いずれの試料においても加熱によるライフタイムの向上が確認されたが，i-a-Si:H 層中の H 原子が熱活性化されたことによると考えられる．

CuI 製膜後，i-a-SiO_x:H 層がない，または i-a-SiO_x:H 層が薄い試料はライフタイムが急激に低下したのに対し，i-a-SiO_x:H 層が厚い試料はライフタイムが維持された．2 段階作製法で先に真空蒸着した Cu は，i-a-Si:H 層または Si 基板中を拡散して欠陥準位を形成しやすいが，厚めの i-a-SiO_x:H 層を導入することで，i-a-Si:H 層への Cu の拡散が阻止され，ライフタイムの低下を防いだものと思われる．

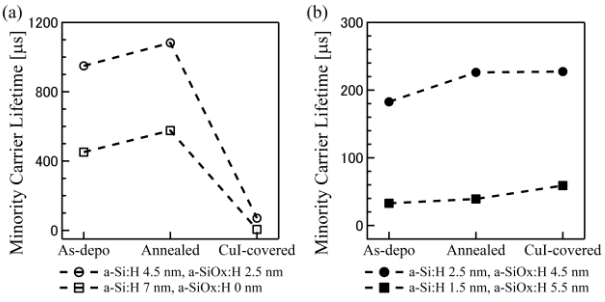


Figure 1: The changes of the minority carrier lifetime of the samples measured by QSSPC at minority carrier density of 1.0×10^{15} cm^{-3}.

結論

2 段階作製法で製膜した CuI 薄膜と Si の界面に PEVCD 法による i-a-Si:H と i-a-SiO_x:H のスタッキング膜を導入することで，i-a-Si:H 層または Si 基板への Cu 拡散を抑制し，一定のパッシベーション効果を得ることができた．各層の膜厚を最適化することで，更なるライフタイム向上が期待できる．

© 2018年 応用物理学会