

In-Sn-O 電極適用による InGaZnO-TFT の実効チャンネル長縮小効果の抑制

Suppression of channel shortening effect for InGaZnO Thin-Film-Transistor by In-Sn-O source/drain electrodes

東芝メモリ(株), °片岡 淳司, 齊藤 信美, 上田 知正, 手塚 勉, 澤部 智明, 池田 圭司
 Toshiba Memory Corp. , °Junji Kataoka, Nobuyoshi Saito, Tomomasa Ueda,
 Tsutomu Tezuka, Tomoaki Sawabe, Keiji Ikeda
 E-mail: junji.kataoka@toshiba.co.jp

【背景】 InGaZnO-TFT は極低オフリーク特性($<10^{-22}$ A/ μm)、高 S/D 間耐圧($V_{\text{BD}}>40\text{V}$)、 400°C 以下の低温プロセスで形成可能といった特徴から、3D-LSI 向け BEOL トランジスタとして期待されている[1-3]。一方で、S/D 電極による InGaZnO の還元反応によって、InGaZnO に形成される低抵抗領域の拡大により実効チャンネル長が縮小し、微細素子の動作不良や閾値電圧 V_{th} の負側シフトを引き起こす問題が報告されている[4, 5]。ゲート長サブ 100nm オーダーの微細な素子の実現には、この実効チャンネル長縮小効果を抑制することが重要となる。本報告では、この実効チャンネル長縮小効果を TFT の電気的特性評価と SSRM(Scanning Spreading Resistance Microscope)によって定量的に評価した。さらに、InGaZnO に対する還元作用の低い In-Sn-O(ITO)を S/D 電極に適用することで実効チャンネル長縮小効果の抑制に成功した結果について報告する。

【実験】 ゲート電極と S/D 電極(低抵抗領域含む)のオーバーラップ長: L_{ov} を $L_{\text{ov}} = -0.4\mu\text{m} \sim 0.3\mu\text{m}$ と広範囲に変化させた素子を試作し、その電流駆動力 I_{on} の変化を評価することで InGaZnO チャンネル中における低抵抗領域の横方向拡がり幅 L_{ext} を見積もった (図 1)。S/D 電極は Ti, ITO の 2 水準で作製した。アニール前後で電気的特性($I_{\text{d}}-V_{\text{g}}$)と SSRM の測定を行い、 L_{ext} を評価した。アニール条件は、 $340^\circ\text{C} \sim 500^\circ\text{C}$ 、 N_2 雰囲気、1 時間とした。

【結果】 図 2 に、 $I_{\text{d}}-V_{\text{g}}$ 特性の L_{ov} 依存性から導出した L_{ext} のアニール温度依存性を示す。S/D 電極が Ti の場合、アニール温度が高いほど L_{ext} が拡大し、 380°C 以上では TFT 特性を示さなくなる。これは、Ti による還元反応で InGaZnO チャンネル内部に導体化した低抵抗領域が広がったためと考えられる。一方で、S/D 電極が ITO の場合、 L_{ext} はアニール後も変化しない。これは、InGaZnO に対する ITO の還元作用が低い事に起因する。図 3 に、 400°C アニール後の SSRM 測定結果を示す。Ti 電極の場合、InGaZnO 内部に、Ti から約 500nm 横方向に低抵抗な領域が存在した。一方で、ITO 電極の場合は InGaZnO 内の抵抗分布は均一であり、低抵抗領域は観測されなかった。上記結果は電気特性評価から得られた結果と定性的に一致しており、S/D 電極に ITO を用いることで、InGaZnO-TFT の実効チャンネル縮小効果を抑制できることがわかった。

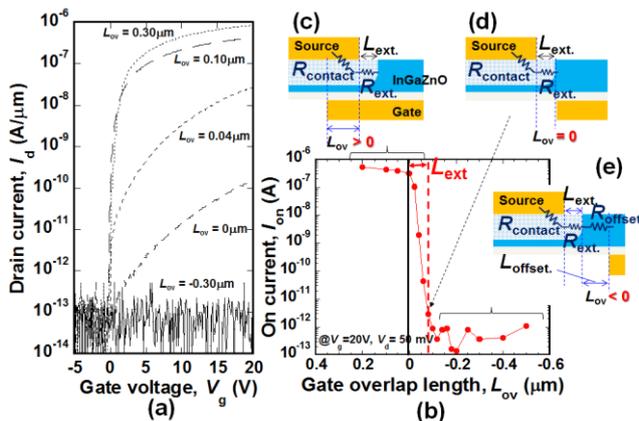


図 1. (a) L_{ov} 依存性 of $I_{\text{d}}-V_{\text{g}}$ characteristics with InGaZnO-TFTs. (b) L_{ov} 依存性 of I_{on} with InGaZnO-TFTs. (c) Large I_{on} can be obtained because the contact resistance R_{contact} and the resistance of the low-resistivity region R_{ext} reduced with the application of gate voltage V_{g} . (d) I_{on} decreased dramatically because R_{contact} and R_{ext} did not reduce by applying V_{g} . (e) I_{on} further decreased since a part of R_{ch} (R_{offset}) did not reduce by applying V_{g} .

【参考文献】 [1] K. Nomura et al., Nature, 432, 488(2004), [2] S. Jeon et al., IEDM 2010, p504, [3] Y. Kobayashi et al., VLSI 2104, p170, [4] H. Kitakado et al., JJAP. 51(2012) 03CB02. [5] S.H. Choi et al., IEEE ELECTRON DEVICE LETTERS, vol.35, no.8, p835(2014)

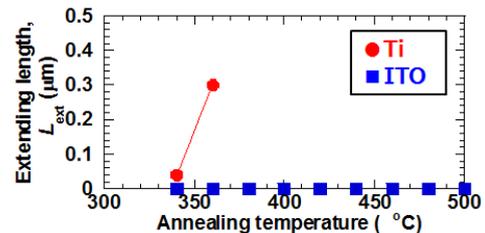


図 2. Comparison of the annealing temperature dependence of L_{ext} for Ti and ITO electrodes. The L_{ext} of TFTs with ITO electrode was not observed even after 500°C annealing.

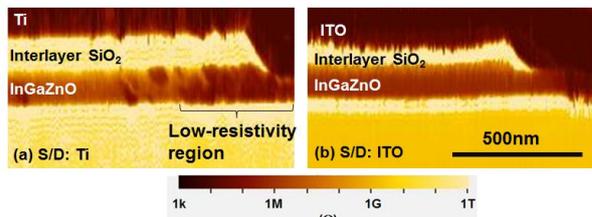


図 3. Resistance mapping in InGaZnO-TFT with (a) Ti S/D electrode, and (b) ITO S/D electrode. The low-resistivity region which extended to the lateral direction was formed in the InGaZnO with Ti S/D electrode.