

# 高集積フレキシブルデバイスシステム作製の技術基盤構築

◦煤孫 祐樹<sup>1</sup>、木野 久志<sup>2</sup>、田中 徹<sup>3,4</sup>、福島 誉史<sup>4</sup>

(1. 東北大学、2. 東北大学際研、3. 東北大院医工、4. 東北大院工)

◦Yuki Susumago<sup>1</sup>, Hisashi Kino<sup>2</sup>, Tetsu Tanaka<sup>3,4</sup>, and Takafumi Fukushima<sup>4</sup>

(School of Engineering<sup>1</sup>, FRIS<sup>2</sup>, Graduate School of Biomedical Engineering<sup>3</sup>,  
Graduate School of Engineering<sup>4</sup>, Tohoku Univ.) E-mail: link@lbc.mech.tohoku.ac.jp

## 1. 緒言

これまで Si などの無機単結晶半導体を用いた大規模集積回路(LSI)はウエハレベルの微細化技術により高い性能を実現してきた。一方、有機半導体の性能は年々高まっているが、単結晶 Si には及ばない。しかし、その柔軟性を利用したフレキシブルエレクトロニクスへの応用が盛んに検討されている。Roll-to-Roll プロセスの発展、およびプリンタブル配線技術の躍進と並行して、大面積のシートに安価に生産できる技術が確立されてきている。近年、無機単結晶半導体の性能と有機基板の柔軟性を融合したフレキシブル・ハイブリッド・エレクトロニクス(FHE)の研究が注目されている。単結晶 Si でも厚さ 50 $\mu\text{m}$  以下で柔軟性を発現してくることは知られているが、薄化することによるデバイス特性の変動は懸念されている[1]。また、小さい曲率の繰り返し曲げに対する長期信頼性は十分とは言えない。

本研究では、単結晶 Si からなる複数の LSI チップを生体適合性のポリジメチルシロキサン(PDMS)に内蔵し、シートレベルではなく、ウエハレベルで微細な配線を形成して各チップを接続する。比較的小さな LSI チップに分けて埋め込むことにより、LSI システム全体に柔軟性を付与できる。ここでは先端半導体パッケージング技術として期待されている Fan-Out Wafer-Level Packaging(FOWLP)技術[2]を応用した高集積 FHE を作製するための技術基盤を構築する。また、PDMS 上に形成された配線の繰り返し曲げ試験を実施して、高集積 FHE の機械的耐久性を評価する。

## 2. 作製方法

高集積 FHE の作製方法を Fig. 1 に示す。まず、テンポラリー接着層 A を第一支持 Si ウエハ上に形成した。次に、LSI チップを反転して接着し、生体適合性 PDMS(Silastic MDX4-4210/Dow)を注型した。その後、別のテンポラリー接着層 B が形成された第二支持 Si ウエハを用いて PDMS を圧縮成形した。LSI チップの厚さは 100 $\mu\text{m}$ 、PDMS の厚さは 200-500 $\mu\text{m}$  とした。デバイス面を上向きにして LSI チップを第二支持 Si ウエハに転写した後、PDMS の表面を波長 172nm のエキシマランプで改質し、応力緩衝層を塗布した。次いで、スパッタにより Ti 15nm、Au 500nm を成膜後、フォトリソグラフィとウェットエッチングにより配線を形成した。最後に、LSI チップが内蔵された PDMS を第二支持 Si ウエハから剥離した。

## 3. 実験と結果

FOWLP 技術を用いて第二支持 Si ウエハに転写された LSI チップの表面は、化学機械研磨(CMP)などの平坦化をせずとも PDMS と面一になるため、ウエハレベルのフォトリソグラフィで微細加工が可能となる。この集積化方式の利点は、ワイヤボンダや半田バンプ実装が無くても、LSI チップ同士を接続できる点にある。

繰り返し曲げ試験は、Tension-free U-shape folding tester (DLMLH-FS / Yuasa)を用いた。今回、線幅 30 $\mu\text{m}$ 、50 $\mu\text{m}$ 、100 $\mu\text{m}$  の 3 種類を採用し、曲率半径 5mm で曲げ試験を行った。また、四端子測定法により配線抵抗を測定した。Fig. 2 に示すように、曲げ回数を 800 回まで増加させても抵抗値の変化は 5%以内であった。この結果から、FOWLP 技術を応用した本研究の高集積 FHE は、高い柔軟性と繰り返し曲げ特性を示す Au 配線を有することが分かった。

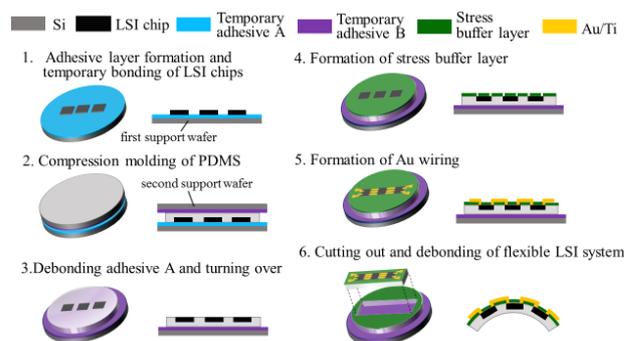


Fig 1. Fabrication process

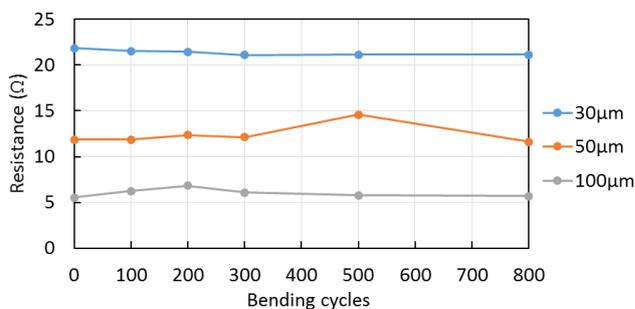


Fig 2. Resistance comparison between before and after bending with a curvature radius of 5 mm.

## 4. まとめ

柔軟な PDMS に硬い Si チップを埋め込んだ本研究の高集積 FHE では、ウエハレベルで微細配線を形成してチップ間を接続でき、高い柔軟性と繰り返し曲げ特性を示した。今後、用途に応じて高集積 FHE の構造を最適化し、LSI チップの機能検証や生体応用へと展開したい。

## 参考文献

- [1] K. Lee, T. Fukushima, T. Tanaka, and M. Koyanagi *et al.*, *IEEE Electron Device Lett.*, vol. 34, pp. 1038-1040, 2013  
 [2] T. Fukushima, and S. Iyer *et al.*, *The 67th Electronic Components and Technology Conference*, pp. 649-654 (2017)