プラズマ誘起欠陥を含む Si 基板の C-V特性予測シミュレーション

Model Predictions of Capacitance—Voltage (C-V) Characteristic of

Plasma Process-Damaged Si Substrate

京大工¹, ⁰濱野 誉¹, 中久保 義則¹, 江利口 浩二¹

Kyoto Univ.¹, ^oTakashi Hamano¹, Yoshinori Nakakubo¹, Koji Eriguchi¹

E-mail: hamano.takashi.35c@st.kyoto-u.ac.jp

1. はじめに

近年の半導体デバイスの急速な微細化に伴い、プラズマエッチング時に生じる Si 基板表面お よび内部の欠陥が Metal-Oxide-Semiconductor Field-Effect Transistor(MOSFET)の挙動、信頼性に 影響を及ぼしている。基板内部の欠陥について我々はこれまで電気容量-電圧(C-V)測定を用い て定量化を行ってきた。従来の 1/C²-V法[1]にプラズマダメージの寄与を加えたモデル[2]、深さ 方向プロファイルを取り入れたモデル[3]が提案されてきた。提案されたモデルでは、エネルギー 準位は伝導帯近傍の単一準位のみを前提としていたが、近年吉川ら[4]が第一原理計算を用いて、 禁制帯内に分布する状態密度の存在を示した。本研究では Fig. 1(a)に示すように、上記エネルギ ー方向プロファイルを取り入れた包括的なモデルを構築し、全ゲート電圧領域における C-V曲線 をシミュレーションで予測し、特徴的な実験結果と比較する。

2. 計算手順

N型 Si 基板内部に欠陥が生じているものとする。深さ方向、エネルギー方向のプロファイル をすべて取り入れた欠陥モデルを構築し、厳密に Poisson 方程式を解き、全ゲート電圧領域での *C*-*V*曲線を算出した。なお今回は界面準位や酸化膜中の電荷は考慮しないが、本モデルへは容易 に実装できる。

3. モデル計算結果

Fig. 1(b)にエネルギー方向プロファイルは正規分布(平均: \overline{E} ,分散: σ)を仮定し、 \overline{E} を変化させた場合の計算結果を示す。 \overline{E} が伝導準位より低くなるにつれて、一般的な形状からフラットバンド近傍に特異な形状を持つ曲線への変化が見られた。この傾向は \overline{E} に大きく依存することがわかった。

4. 実験結果との比較

Fig. 1(c)に 1/C²-V 曲線の実験結果の一例[2]を示す。典型的な単調曲線である(A)とは異なり、(B) は-1.0 V 付近でテラス構造が見られる。また、Fig. 1(b)で示す特異な形状を持つ実験結果も報告されている[5]。このことは、欠陥の深さ方向分布だけでなくエネルギー方向分布も考慮しなければならないことを示唆している。

5. おわりに

最先端 MOSFET 製造では様々なプラズマ源、ガス種が用いられており、生じる欠陥の電子構造、つまりエネルギー方向分布も様々である。本研究から、欠陥のエネルギー方向分布が電気特性に大きく影響することがわかった。本モデルを用いた欠陥定量化解析手法は有効である。



Fig. 1 (a) Energy profiles of latent defects in the energy band diagram of Si.

(b) The predicted C-V curves assuming the gaussian distribution with various E.

(c) Experimental C-V curves of the damaged samples by Ar plasma: (A) ICP and (B) CCP[2].

参考文献

[3] Y. Okada *et al.*, Jpn. J. Appl. Phys. **56**, 06HD04 (2017). [4] Y. Yoshikawa *et al.*, Proc. Symp. Dry Process, 2017, p. 217. [5] 中久保ら: 2012 年応用物理学会秋季大会 12A-E1-10.

^[1] A. Goodman, J. Appl. Phys. **34**, 329 (1963). [2] Y. Nakakubo *et al.*, ECS J. Solid State Sci. Technol. **4**, N5077 (2015).