

界面制御した GaN 上 MOSFET の特性

GaN-MOSFET characteristics of the controlled interface

富士電機¹, 山梨大² ○上野勝典¹, 松山秀昭¹, 田中亮¹, 高島信也¹, 江戸雅晴¹, 中川清和²

Fuji Electric¹, Univ. of Yamanashi² ○Katsunori Ueno¹, Hideaki Matsuyama¹, Ryo Tanaka¹, Shinya

Takashima¹, Masaharu Edo¹, Kiyokazu Nakagawa²

E-mail: ueno-katsunori@fujielectric.com

[はじめに] GaN 系 FET は GaN の優れた物性値から次世代の低損失パワースイッチング素子として期待され、近年は自立基板の普及に伴い縦型パワーデバイス実現に向けた研究開発が活発に進められている。パワー用途でのスイッチングデバイスには絶縁ゲート駆動でノーマリーオフ型が望まれ、これらを実現可能な MOS チャネルの特性制御は重要な要素技術である。我々は、これまでに p 型 GaN エピ層上にて SiO₂ を用いた MOSFET 特性制御が可能であることを明らかにした[1]。しかし、SiO₂ の形成条件が特性にどのように影響を与えるのかよくわからなかったため、今回、成膜条件が界面と MOSFET の特性に与える影響について調べた。

[実験方法] +c 面 n-GaN 自立基板上に 1E17cm⁻³ Mg ドープしたエピに、TEOS を用いたリモートプラズマ CVD 法で SiO₂ 100 nm を成膜し、アルミ電極を形成して横型 MOSFET を作製した。SiO₂ を形成するときの成膜レート、前処理条件を振り、電気的特性評価と同時に TEM により MOS 界面の観察を行った。

[結果] TEM 観察により、SiO₂ と GaN 界面の間に Ga および O リッチの界面層が存在することがわかった。また、この界面層の厚さが成膜レートや前処理条件に依存することが判明した。MOSFET の特性と比較してみると、この界面層の厚さに連動して移動度、およびヒステリシスが変化し、界面層の厚さが薄いほど良好な特性が得られた(fig.1,2)。

[謝辞] 本研究の一部は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス」(管理法人: NEDO) によって実施されました。

[1] S. Takashima *et al.*, Applied Physics Express 10, 121004 (2017).

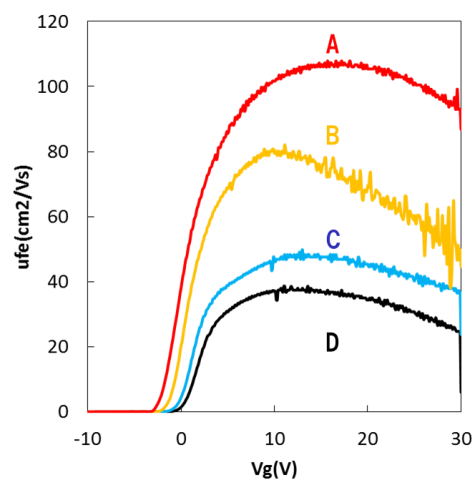


Fig.1. Field effect mobility of GaN-MOSFETs with different SiO₂ deposition conditions.

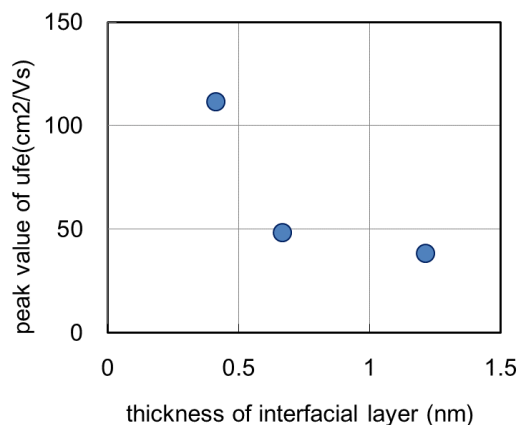


Fig.2. Correlation between the interfacial layer and the peak field effect mobility.