

Mg イオン注入 GaN MOSFET のチャネル特性向上

Improvement of MOS channel properties on Mg implanted GaN MOSFETs

富士電機¹, 東北大², 名大³, 筑波大⁴, 山梨大⁵ [○]高島信也¹, 田中亮¹, 上野勝典¹,

松山秀昭¹, 江戸雅晴¹, 小島一信², 秩父重英^{2, 3}, 上殿明良⁴, 中川清和⁵

Fuji Electric¹, Tohoku Univ.², Nagoya Univ.³, Univ. Tsukuba⁴, Univ. Yamanashi⁵

[○]Shinya Takashima¹, Ryo Tanaka¹, Katsunori Ueno¹, Hideaki Matsuyama¹, Masaharu Edo¹,

Kazunobu. Kojima², Shigefusa F. Chichibu^{2, 3}, Akira Uedono⁴, Kiyokazu Nakagawa⁵

E-mail: takashima-shinya@fujielectric.com

[はじめに] GaN 系 FET は GaN の優れた物性値から次世代の低損失パワースイッチング素子として期待される。パワー用途でのスイッチングデバイスで要求される絶縁ゲート駆動でノーマリーオフ動作を実現可能な MOS チャネルの特性制御は重要な要素技術である。我々は、前回の報告にて Mg イオン注入層上における MOSFET のノーマリーオフ動作を実現した[1]。本発表では、注入層の表面荒れ抑制による注入層特性向上、および MOS 界面層の制御による Mg 注入層上横型 MOSFET の特性改善検討を行ったので報告する。

[実験方法] +c 面 n-GaN 自立基板上 n-GaN エピに 500 nm 深さまで $1 \times 10^{18} \text{ cm}^{-3}$ 濃度一定となる BOX プロファイルにて Mg を全面にイオン注入し 1300°C で活性化熱処理を行った。活性化処理を見直し表面荒れを前回の $R_{\text{rms}} = 0.66 \text{ nm}$ (サンプル A) から約 0.25 nm (サンプル B, C) に抑制した。その後、n+ソース/ドレイン領域に Si をイオン注入し、1100°C で活性化処理を行った。ゲート絶縁膜として、TEOS を用いたリモートプラズマ CVD 法で SiO_2 100 nm 狙いで成膜し、アルミ電極を形成して図 1 に示す横型 MOSFET を Mg 注入層上に作製した。なお、p-GaN エピ層上において SiO_2 形成条件により MOS 界面層が変化し、その界面層の厚みによって移動度が変化することが分かったので、前回条件でゲート形成したサンプル A と B に加え、Mg 注入層上においても界面層制御条件を適用したサンプル C を作製した。

[結果] 横型 MOSFET の伝達特性を図 2 に示す。前回報告したサンプル A から、活性化処理後の表面荒れを抑制したサンプル B では、残留空孔欠陥の低減が確認されたが、 SiO_2 条件は同じとした場合に電界効果移動度のピーク値やしきい値に大きな変化は見られなかった。一方、注入層の改善に加え MOS 界面層の制御を行ったサンプル C では、チャネル移動度は約 $110 \text{ cm}^2/\text{Vs}$ が得られ、エピ層上と同等の高移動度を Mg 注入層上においても得ることができた。詳細については当日報告する。

[謝辞] 本研究の一部は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス」(管理人: NEDO) によって実施されました。

[1] 高島他、第 78 回応用物理学会秋季学術講演会 7p-S22-6 (2017)。

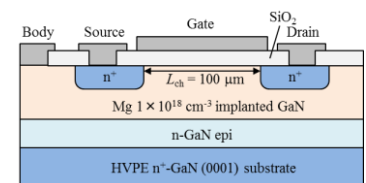


Fig.1. Fabricated lateral MOSFET on Mg implanted GaN layer.

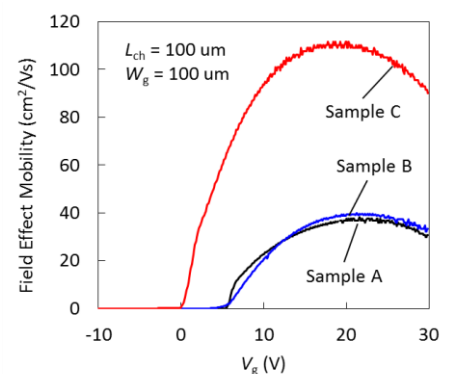


Fig. 2. Field effect mobility curves of fabricated lateral MOSFETs.