

負のゲートバイアスストレスを印加した縦型トレンチ GaN-MOSFET のしきい値電圧変動の評価

Threshold voltage shift in vertical trench GaN-MOSFETs by negative gate-bias stress

¹福井大院工、²富士電機株式会社、[○]笹田 将貴¹、高島 教史¹、村田 翔一¹、Joel T. Asubar¹、
徳田 博邦¹、上野 勝典²、江戸 雅晴²、葛原 正明¹

¹University of Fukui, ²Fuji Electric Co., Ltd. [○]Masataka Sasada¹, Norihumi Takashima¹,
Shoichi Murata, Joel T. Asubar¹, Hirokuni Tokuda¹, Katsunori Ueno², Masaharu Edo²,
Masaaki Kuzuhara¹

E-mail: m.ssd0328@gmail.com, kuzuhara@u-fukui.ac.jp

はじめに GaN 系縦型 MOS トランジスタが低損失パワーデバイスとして期待されている。我々は、選択 Si イオン注入を用いて縦型 GaN-MOSFET のソース領域となる高濃度 n-GaN 層を形成し、ノーマリーオフ動作が得られることを報告した[1,2]。しかし、しきい値電圧には大きなヒステリシスがみられ、その低減が課題として残された。今回、n+ソース領域の形成方法として、イオン注入に加えて、n+GaN エピ成長を用いた 2 通りの素子を作製し、しきい値電圧変動の要因について考察したので報告する。

実験 本研究では、縦型 GaN トレンチ MOSFET の n 型ソース領域の形成方法として 2 通りのプロセスを用いた。一つは n 型ソース領域の形成に Si イオン注入を用いた MOSFET (デバイス A) であり、もう一つは表面 n+GaN エピ層をソース領域とした MOSFET (デバイス B) である。チャネルとなる p-GaN 層の厚さは 1μm であり、Mg ドーピング濃度は $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ とした。n+GaN 層ソース電極と p-GaN ボディ電極には、Ti/Al/Ti/Au および Ni/Au をそれぞれ用いた。ゲート電圧を負側から正方向に掃引速度 1 V/秒で掃引することにより伝達特性を測定し、ドレイン電流が 1 mA/mm となるゲート電圧をしきい値電圧と定義した。

結果 図 1 にデバイス A の伝達特性を示す。ゲート電圧の掃引開始電圧は 0~-25V まで -5V ステップで変化させた。開始電圧 0V から -15V までの範囲では、伝達特性に差は認められず、しきい値電圧は +14V (一定) であった。しかし、開始電圧 -20V 以下では伝達特性に正方向シフトがみられ、開始電圧 -25V のときしきい値電圧は +20V まで増加した。一方、表面 n+GaN エピをもつデバイス B では、掃引開始電圧に関わらず、しきい値電圧は +18V で一定であった (図 2 参)。デバイス A では、負電圧を印加した時に流れるゲートリーク電流が -20V 付近を境に急激に増加したが (~50 pA/mm)、デバイス B ではリーク増加はみられず、しきい値電圧とゲートリーク電流の間に相関があることが示唆された。

まとめ 選択イオン注入およびエピ成長で n+GaN ソース領域をそれぞれ形成した縦型トレンチ MOSFET の伝達特性を測定した。いずれもノーマリーオフ動作が確認されたが、イオン注入を用いたデバイスでは、正方向掃引時の伝達特性にしきい値電圧シフトが認められた。一方、エピ成長 n+ソース領域をもつデバイスではしきい値電圧の変動がみられず、前者の変動がイオン注入とその後の熱処理プロセスに起因した現象であることが分かった。またゲートリークとの関係についても指摘した。

謝辞 本研究の一部は JST スーパークラスタープログラムの支援によって実施された。

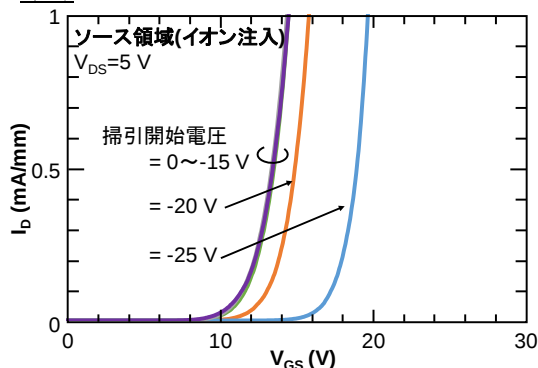


図 1 デバイス A (イオン注入) の伝達特性

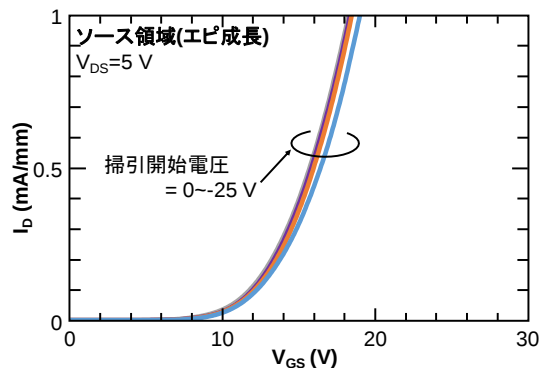


図 2 デバイス B (エピ成長) の伝達特性

参考文献

- [1]篠倉他,第 63 回応物春季講演会,21p-W541-5,2016. [2]高島他,第 78 回応物秋季学術講演会,2017.