Ge MOSFET への期待と課題

Prospects and Challenges for Ge MOSFETs 東大院工 [°]高木信一, 曺光元, 金佑彊, 柯夢南, 加藤公彦, 竹中充 The University of Tokyo, [°]S. Takagi, K.-W. Jo, W.-K. Kim, M. Ke, K. Kato, M. Takenaka E-mail: takagi@ee.t.u-tokyo.ac.jp

Ge チャネル MOSFET は、LSI CMOS スケーリングにおける technology booster として長年捉えられ、 この 15 年ほど活発な研究開発が進められているが、まだ実用化には至っていない。Ge MOSFET の集 積回路への適用に向けて、極めて高い正孔移動度や金属/p⁺ Ge 界面の極めて低いショットキー障壁高さ など、物性的な観点から性能向上が実現しやすい p-MOSFET の導入を目指す方向性と、n-MOSFET も 合わせた CMOS を実現する道筋の両面がある。また Ge の熱耐性の点から、十分に低いプロセス温度 を実現する必要があり、これは集積化上の課題と捉えられているが、一方で十分低温で高性能の MOSFET を実現できるという意味では、3 次元積層構造に適したチャネル材料系であると見ることも できる。Fig. 1 に示す Ge p-MOSFET と III-V n-MOSFET を積層した 3 次元集積 CMOS は、これらの Ge チャネル特徴を生かした素子構造と考えられる。

Ge MOSFET 実現に向けた要素技術として、(1) GOI チャネル形成(2) Ge ゲートスタック形成(3) Ge S/D 形成 があり、其々に更なる高度化とその背景にある素子・材料物理の理解が必要である。特に、 GOI チャネル形成では、極薄チャネルでも高い電流駆動力が維持できるため、適切なひずみの導入を 実現する必要がある。我々は、極薄 GOI チャネルを Si 上に実現できる酸化濃縮技術に長年取り組んで おり、最近濃縮後の降温過程が圧縮ひずみ導入に極めて重大な影響を持つことを見出した[2]。Fig. 2 に示す濃縮プロセスを用いることで、薄膜チャネルにおいても高いひずみを維持でき、同じ GOI 膜厚 で比較して、最も高い正孔移動度の実現に成功している(Fig. 3)[3]。また、ゲートスタック構造形成で は、近年の研究の進展の結果、Ge 酸化膜界面層の導入により、界面準位の低減や高い界面移動度が実 現されるようになってきた [4, 5]。極薄 EOT、高いチャネル移動度と、ゲート絶縁膜中の遅い準位低 減などによるゲートスタック信頼性向上の両立が主要な課題となっている。遅い準位は、酸化膜中の 欠陥準位に起因するもの(Fig. 4)と考えられ、その欠陥制御技術が重要となる [6, 7]。

【謝辞】本研究の一部は、JST-CREST, JPMJCR1332 および JSPS 科研費 26249038, 17H06148 の支援を受けて実施した。

[Reference] [1] T. Irisawa et al., VL symp. (2013) 62 [2] W.-K. Kim et al., VLSI Symp. (2017) T124 [3] K.-W. Jo et al., SSDM (2017) 127 [4] S. Takagi et al., JJAP **54** (2015) 06FA01 [5] A. Toriumi et al., JJSP **57** (2018) 010101 [6] M. Ke et al., APL **109** (2016) 032101 [7] M. Ke et al., ESSDERC (2017) 296



Fig. 3 Hole mobility as a function of GOI thickness







Fig. 4 Location and possible origin of slow traps