

超小型イオンエンジン用高効率平面型グラフェン電子源の開発

Development of Graphene-Oxide-Semiconductor Planar-Type Electron Sources with High Emission Efficiency for Micro Ion Engines

横国大¹, 産総研² ○(B)古家 遼¹, 村上 勝久², 長尾 昌善², 鷹尾 祥典¹

YNU¹, AIST², °Ryo Furuya¹, Katsuhisa Murakami², Masayoshi Nagao², Yoshinori Takao¹

E-mail: furuya-ryo-xn@ynu.jp

研究背景： 近年，中小企業や大学等で研究開発が盛んになっている超小型衛星において，より高度なミッションを遂行するために推進機は不可欠であるが，その小型化と低電力駆動の実現が課題となっている．衛星の主要推進機の一つであるイオンスラストは，生成したプラズマ源から正イオンを静電場で引き出す反力により推力を得る一方，衛星側が負に帯電しイオンを引き付けることを防ぐため，電子を放出する中和器が必要である．電子は質量が軽く推力に寄与しないため，電界放出カソード (FEC: Field Emission Cathode) 等の推進剤が不要で小型・低電力駆動が期待できる電子源が求められている．その例としてカーボンナノチューブ FEC¹⁾や立方晶窒化ホウ素 FEC²⁾があるが，現状では電子放出効率と電流密度の点で従来型中和器に遠く及ばない．本研究では，電子放出効率と電流密度双方の向上が期待できる新しい FEC として，MOS の上部電極にグラフェンを用いた平面型グラフェン電子源 (GOS: Graphene-Oxide-Semiconductor) に着目し，製作を行った．

実験方法： 図1に平面型グラフェン電子源の構造を示す．シリコンウェハの表面にドライ熱酸化により極薄の絶縁膜として SiO₂ を形成し，熱 CVD 法により 3 から 20 層のグラフェンを直接合成した．その後，グラフェンへの導通を取るためのコンタクト電極として Ti/Ni を蒸着した．今回は 900 °C でグラフェンの合成を行い，SiO₂ の膜厚を 6, 8, 10 nm，放出面積を 10, 50, 100, 200, 500 μm 角に分けた素子を製作した．図2に放出面積が 200 μm 角の素子を示す．素子の印加電圧に対し，絶縁膜をトンネリングし回路を流れる電子の全電流量 (cathode) と，グラフェン表面から放出される電子の電流量 (anode) を測定した．その結果から放出電子の電流密度と電子放出効率を算出することで性能を評価した．

結果と考察： 図3に SiO₂ 膜厚 6 nm，放出面積 200 μm 角の素子における印加電圧に対する全電流量 (cathode) と放出される電子の電流密度 (anode)，電子放出効率 (efficiency) の関係を示す．この素子では 11 V 印加し最高効率 9.5%，放出電子の電流密度 55 mA/cm² を達成した．一方で，より放出面積の大きい素子では，グラフェン成膜過程において発生した SiO₂ 膜の欠陥により，リーク電流の上昇・効率の低下が見られた．今後は電子放出面積の大面积化を目指し，さらに低温下においてグラフェン成膜を行った素子の製作を行う予定である．

- 1) 橘薫，大川恭志，山極芳樹他，第 60 回宇宙科学技術連合講演会，2016，P38 (JSASS-2016-4707)
- 2) 川原友太郎，山本直嗣，中島秀紀，中野正勝，大川恭志他，第 57 回航空原動機・宇宙推進講演会，2017，2A18 (JSASS-2017-0070)

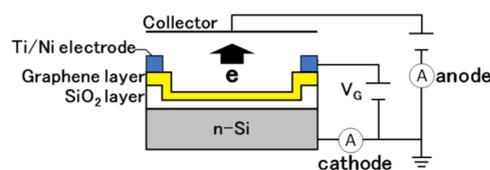


Fig.1 GOS device

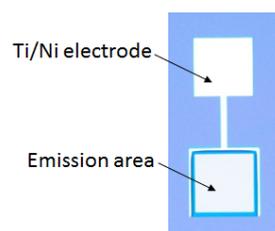


Fig.2 200 μm Square GOS Device

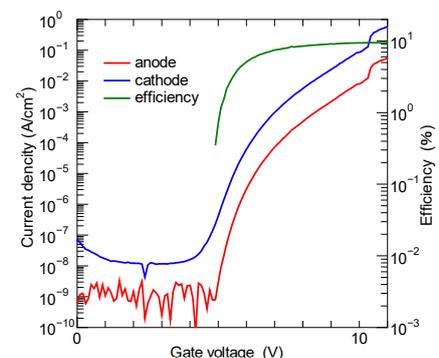


Fig.3 I-V characteristics