

ゲートファーストプロセスによるサブミクロンゲートミニマル SOI-CMOS 作製

Fabrication of Submicron Gate Minimal SOI-CMOS Using Gate-First Process

産総研¹、ミニマルファブ推進機構²○柳 永勲¹, 佐藤 和重², 田中 宏幸^{1,2}, 古賀 和博², クンプアン ソマワン^{1,2}, 長尾 昌善¹, 松川 貴¹, 原 史朗^{1,2}AIST¹ and MINIMAL²○Y. X. Liu¹, K. Sato², H. Tanaka^{1,2}, K. Koga², S. Khumpuang^{1,2}, M. Nagao¹, T. Matsukawa¹ and S. Hara^{1,2}

E-mail: yx-liu@aist.go.jp

【緒言】今まで、我々は SOD (Spin on dopant) 固相拡散によるゲートラスト (Gate-Last) プロセスでミニマル SOI-CMOS の開発を行ってきた [1, 2]。今回は、イオン注入 (Ion implantation: I/I) によるゲートファースト (Gate-First) プロセスでサブミクロンゲートミニマル SOI-CMOS を作製したので報告する。

【作製】デバイス作製には、N 型ミニマル (100) SOI ウエハ ($\phi = 12.5$ mm) を用いた。Fig. 1 にサブミクロンゲート SOI-CMOS の作製プロセスを示す。最初に、SOI ウエハの RCA 洗浄を行い、熱酸化で Top-Si 層膜厚 (T_{Si}) を 89 nm まで薄層化した。次に、選択的に Top-Si 層をエッチングして素子分離を行い、5.8 nm 厚のゲート酸化膜 (T_{ox}) 形成と 30 nm 厚の PVD-TiN 堆積を行った。続いて、100 nm 厚の TEOS-SiO₂ 膜を形成し、ミニマルマスクレス露光機でゲートパターンを形成した。ここで、サブミクロンゲートパターンを形成するために、ゲート長の設計値は 1 μ m にして、オーバ露光することで 0.4 μ m 以下のゲートパターン形成に成功した。また、Fig. 1(d) に示すように、酸素プラズマでゲートパターンのフォトレジスト (Photoresist: PR) をトリミングすることで、0.2~0.3 μ m 程度の微細なゲートパターンを形成した。その後、RIE による TEOS-SiO₂ ハードマスク形成と PVD-TiN ウェットエッチングで、サブミクロンゲート加工を行った。Fig. 2 にそのゲート加工後の SEM 写真を示しており、0.25 μ m のゲート長 (L_g) が確認できる。このように、先にゲート加工を行った後に、マスクレス露光機で PMOS 領域と NMOS 領域を分けてパターンニングし、ソース・ドレインのイオン注入を行った。PMOS には BF₂⁺ イオンを、NMOS には P⁺ イオンを用い、同じ条件 (Dose = 1.5E15 cm⁻², Energy = 10 keV, Tilt = 7°, Twist = 0°) でイオン注入を行った。ウエハ洗浄後に、145 nm 厚の TEOS-SiO₂ を堆積し、ミニマルレーザ加熱炉で T = 760 °C, t = 2 sec の不純物活性化アニールを行った。最後に、コンタクトホール形成と Al 堆積などを行い、デバイスを完成させた。

【評価】Fig. 3 に作製した $L_g = 0.25$ μ m の SOI-MOSFET の電気特性を示す。しきい値電圧 (V_t) シフトと大きなサブスレッショルド係数 (SS) 及び DIBL などの短チャネル効果はあるものの、正常なトランジスタ動作が確認できる。今後ソース・ドレインのエクステンション (Extension) とゲートサイドウォールを導入することによって、短チャネル効果は抑制できると考えられる。なお、同じ SOI 基板上に作製した $L_g > 1$ μ m の SOI-MOSFET においては、上記のような短チャネル効果は現れないことも確認した。【文献】 [1] 柳永勲, 他, 第 63 回応用物理学会春季講演会 19a-S423-1. [2] 柳永勲, 他, 第 77 回応用物理学会秋季講演会 16p-B10-11.

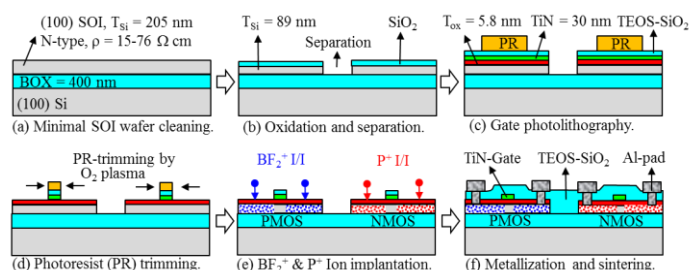


Fig. 1. Schematic gate-first process flow for PVD-TiN gate SOI CMOS fabrication.

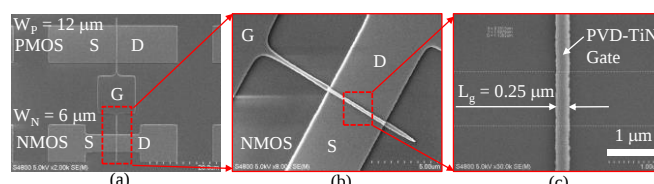
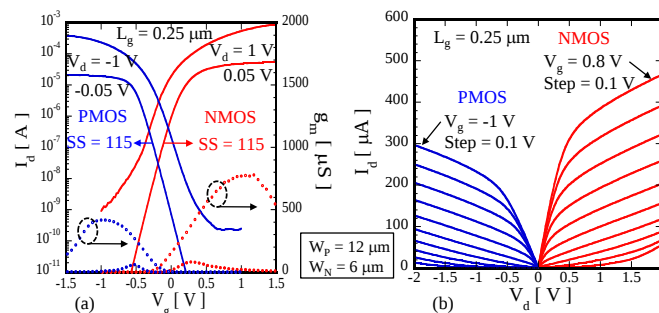


Fig. 2. SEM images of (a) CMOS inverter, (b) NMOS and (c) physical PVD-TiN gate.

Fig. 3. Electrical characteristics of the fabricated PVD-TiN gate minimal SOI-MOSFETs with a physical gate length (L_g) of 0.25 μ m. (a) I_d - V_g & g_m - V_g , and (b) I_d - V_d characteristics.