

# ミニマルファブを用いた TiN ゲート SOI-CMOS プロセスの構築

## Study of TiN Gate SOI-CMOS process by minimal fab

産総研<sup>1</sup>, ミニマルファブ推進機構<sup>2</sup>

○古賀 和博<sup>2</sup>, 柳 永勲<sup>1</sup>, 居村 史人<sup>1,2</sup>, 加瀬 雅<sup>1</sup>, 野田 周一<sup>1,2</sup>, 根本 一正<sup>1</sup>, クンプアン ソマワン<sup>1,2</sup>, 原 史朗<sup>1,2</sup>

AIST<sup>1</sup> and MINIMAL<sup>2</sup>

°Kazuhiro Koga<sup>2</sup>, Y. X. Liu<sup>1</sup>, Fumito Imura<sup>1,2</sup>, Masashi Kase<sup>1</sup>, Shuichi Noda<sup>1,2</sup>, Kazumasa Nemoto<sup>1</sup>, Somwan Khumpuang<sup>1,2</sup>, and Shiro Hara<sup>1,2</sup>

E-mail: kazuhiro.koga@minimalfab.com

### 【背景】

我々は多品種少量向けデバイスの研究、開発、生産に適した、ハーフィンチウエハを用いるミニマルファブの開発を行ってきた[1]。すでに、主要な前工程製造装置群が完成しており、pMOS、nMOS、CMOS、カンチレバー、加速度センサ、圧力センサ、LED、レーザー、SAW デバイスなどの試作に成功している。すなわち、R&D 向けレベルではミニマルファブは完成したと言える。今後は、デバイス生産レベルに堪えるタフな製造装置群と製造の擾乱に強いデバイス構造の構築が求められている。その際、我々は半導体産業の歴史をそれと同じ数十年を使って開発する必要は無い。我々が開発すべきトランジスタは、我々のミニマルファブ装置の現実のラインナップと性能を踏まえた上で、必要に応じて最先端技術とレガシー技術を適宜取り込んだ、現時点で最も現実的なデバイス構造を採用すべきである。そうすると、そこには熟慮が必要である。本稿では、我々が策定した、今後のミニマルファブの基幹となる CMOS デバイスとそのプロセスについて述べる。この基幹 CMOS デバイスをベースに今後の集積回路展開を図って行くことになる。

### 【主要要素テクノロジー】

図 1 は主要プロセスフローで、図 2 はそのデバイスの断面構造である。採用する主要要素テクノロジーは次の通りである。

1. SOI の採用：これは高コストであるが、ミニマルファブでは、少量多品種であって、元々コストが非常に高いデバイスをターゲットとしており、ウエハコストはほとんど問題にならない。それで、SOI を採用することでリーク電流を削減し、フルデプレッション（完全空乏化）した理想的な MOSFET を作製できることになる。

2. TiN ゲート：TiN は最先端ゲート材料であるが、このメリットは、TiN の仕事関数が Si バンドギャップの真ん中にくるために、閾値制御を pMOS と nMOS について逐一やらなくてもほぼ自動的に閾値が理想値に位置できることである。このことで、イオン注入無しでゲート材料を 1 つに統一できる。

3. SOI 上で Tr 毎に Si 層を完全分離する：このメリットの一つは、寄生 MOS などなくなることであり、かつ、イントリンシック層を使ってチャネルと見なすことができるために、後からドーピングをしなくてよいことである。

4. ゲート絶縁膜は 6nm 程度とする：最先端ではないが 6nm は先端的な薄さである。このことで、ショートチャネル効果を発生しにくくする。

5. 拡散ドーピング：これは極めてレガシーな技術である。ミニマルファブではイオン注入は現在開発中であること、またパワーデバイスなどでは拡散は欠かせないことなどから、敢えて採用している。

6. ゲート長は 3~0.5 $\mu\text{m}$ ：これもレガシーであるが、我々の多品種少量デバイスマーケティングの徹底的な調査でデザインルールが緩いデバイスでも、実ニーズがあることがわかっている。ただし、現在ミニマル EB 露光装置を開発中であり、EB 露光ができた時点から最先端系へと開発をシフトさせる予定である。

7. STI (Shallow Trench Isolation) による素子分離：我々はミニマル CMP を開発済みであり、STI が妥当と言える。

8. マスクレス光露光：研究開発と生産において、マスクレスは超低コストとハイスピード製造という点で極めて有効な手段である。

以上の主要なテクノロジーは既に開発済みであるか、本応物講演会の別の講演として発表する。また、以上を用いて、TiN-SOI-pMOS については試作できており、別の講演として発表する。本講演では、以上の全体像について述べることとする。

### 【参考文献】

[1] 原 史朗、クンプアン ソマワン：

「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83 (5), p. 380 (2014).

[2] 古賀和博, 他, 第76回応用物理学会秋季学術講演会 16a-E206-10 (2015).

[3] 柳永勲, 他, 第63回応用物理学会春季学術講演会 19a-S423-1 (2016).

[4] 柳永勲, 他, 第77回応用物理学会秋季学術講演会 16p-B10-11 (2016).

[5] Y. X. Liu et al., MNC 2016, 10C-4-2.

- アライメントマーク形成
- 活性層Si厚さの調整
- 熱酸化膜形成 (ホロン拡散マスク)
- pMOSのS/Dホロン拡散
- P-TEOS成膜 (リン拡散マスク)
- nMOS S/Dリン拡散
- 素子分離エッチング
- RCA洗浄
- ゲート酸化 (900°C, 6nm)
- TiN成膜 (50nm)
- P-TEOS成膜 (100nm)
- ホトリソ
- P-TEOSエッチング (DHFエッチング)
- レジスト除去 (アセトン洗浄)
- TiNエッチング (APMエッチング)
- P-TEOS成膜 (150nm)
- ホトリソ
- BHFエッチング (コンタクトホール形成)
- レジスト除去 (アセトン洗浄)
- Al成膜
- ホトリソ
- Alエッチング (ソース、ドレイン、ゲート電極)
- レジスト除去 (O2アッシング)
- H2アニール

図 1 フルミニマルTiNゲート SOI-CMOSプロセスフロー

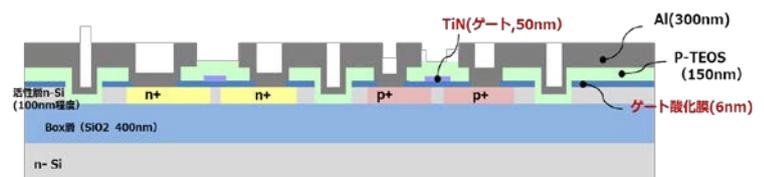


図 2 TiNゲートSOI-CMOSの断面構造