高分解能局所 DLTS による SiO_2/4H-SiC 界面の欠陥分布観察

Observation of defect distributions at SiO_2/4H-SiC interfaces by high-resolution local deep level transient spectroscopy

東北大　°山岸 裕史，長 康雄

Tohoku Univ., °Yuji Yamagishi, Yasuo Cho

E-mail: yamagishi@riec.tohoku.ac.jp

[はじめに] SiC MOS 型電界効果トランジスタの高性能化と高信頼性化に向けて、SiC 酸化膜界面の評価技術は重要である。Deep level transient spectroscopy (DLTS)は絶縁膜/半導体界面に分布する欠陥の評価手法として広く用いられているが、最近我々は欠陥の微視的な分布を可視化できる局所 DLTS を開発し、SiO_2/4H-SiC 界面の欠陥がナノスケールで不均一に分布していることを報告してきた[1]。局所 DLTS では金属コートされた探針を SiO_2/SiC 試料の表面に接触させて容量計測を行うことで界面準位密度（D_{it}）をマッピングするが、この時可視化できる D_{it} の分布の大きさは探針先端の曲率半径 r や試料の酸化膜厚などの影響を受ける。これまでは r = 150 nm の太い探針を用いて測定を行っていたことから、150 nm より小さい D_{it} の分布を観察することは困難であった。今回は r = 25 nm の探針を用いて酸化膜厚が 10 nm の試料の測定を行い、これまでよりも高い空間分解能で D_{it} の分布を可視化したのでここに報告する。

[実験と結果] 4H-SiC n 型エピ基板の(0001)面上に 10 nm の酸化膜をドライ酸化で形成した試料を用いた。局所 DLTS の測定では幅 5 μs、−5 V の電圧パルスを試料に印加し、静電容量の過渡応答を含む信号をデジタイザでリアルタイムに平均化しながら計測した[3]。計測した過渡応答の解析によって得られた、伝導帯からのエネルギー深さが $E_C - E_T$ = 0.35 eV の D_{it} の分布像を図 1 に示す。約 50 nm 程度の空間スケールで不均一な D_{it} 分布が可視化されており、また高 D_{it} 領域では低 D_{it} 領域の約 2 倍の D_{it} が分布していることが分かった。先行研究では酸化膜界面内で不均一に炭素クラスターなどに由来する欠陥準位が存在する可能性が示唆されており[2]、それらに対応する分布が可視化されている可能性がある。発表当日は局所 DLTS 法で可視化される D_{it} 分布の空間分解能や、試料の窒化処理による D_{it} 分布の変化について報告したい。

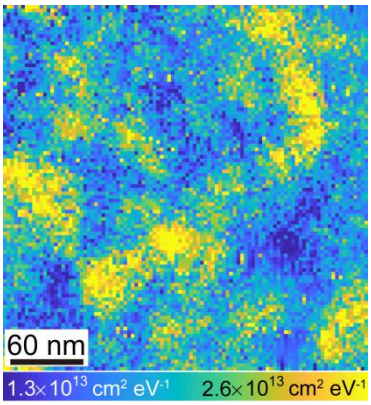

図 1　局所 DLTS で得られた D_{it} 分布像 (E_C−E_T = 0.35 eV).

[謝辞] 本研究で用いた酸化膜試料は産総研の小杉亮治氏らにご提供頂いた。また本研究は SIP 次世代パワーエレクトロクス及び科学研究費補助金（16H06360）によって実施された。

[参考文献]

[1] N. Chinone and Y. Cho, *J. Appl. Phys.*, 122 (2017) 105701.

[2] V. V. Afanas'ev et al., Mater. Sci. Forum, 264-268 (1998) 857-860.

[3] Y. Yamagishi and Y. Cho, Appl. Phys. Lett., 111 (2017) 163103.