

ALD による SiNx 層を用いた 4H-SiC Si 面上のゲート絶縁膜の検討

Consideration of gate insulator on 4H-SiC Si face using a SiNx layer by ALD

産総研¹, トヨタ自動車², 富士電機³ ○熊澤 輝顕¹, 岡本 光央¹, 飯島 美和子¹, 岩橋 洋平²,
藤掛 伸二¹, 荒岡 幹³, 俵 妙¹, 木村 浩³, 原田 信介¹, 奥村 元¹

AIST¹, Toyota Motor Co.², Fuji Electric Co., Ltd.³, °Teruaki Kumazawa¹, Mituo Okamoto¹,

Miwako Iijima¹, Yohei Iwahashi², Shinzi Fujikake¹, Tsuyoshi Araoka³, Tae Tawara¹, Hiroshi
Kimura³, Shinsuke Harada¹ and Hajime Okumura¹

E-mail: teruaki-kumazawa@aist.go.jp

【初めに】次世代パワー半導体材料 SiC による MOS デバイスにおいて、SiO₂/SiC 界面特性はデバイス特性に大きな影響を与える。界面準位を低減させる手法として MOS 界面への窒素導入の有効性が知られており、酸化膜形成後の NO ガスアニール処理がよく用いられている^[1]。しかし、NO ガスは引火性及び、急性毒性ガスであり、取り扱いに注意が必要である。また、アニール温度は 1300°C 程度の高温が必要であり、通常の石英炉では処理が困難である。そこで我々は、Atomic layer Deposition (ALD) を用いた堆積 SiNx 膜を利用した界面への窒素導入を行い、界面特性向上を試みた。

【実験方法】作製プロセスは以下の通りである。HF+RCA 洗浄した Si 面 4H-SiC 基板の上に ALD で SiNx 膜 (1nm) 及び SiO₂ 膜 (20nm) を連続成膜した。SiNx は 3DMAS (SiH[N(CH₃)₂]₃)、H₂+N₂ プラズマ、SiO₂ は 3DMAS (SiH[N(CH₃)₂]₃)、O₂ プラズマを用いて作製した。その後、Ar、O₂ 雰囲気中で Post Oxidation Anneal (POA) 処理を実施した。Al ゲートの MOS キャパシタおよびラテラル MOSFET を作製し、界面準位密度 (Dit)、チャネル移動度 (μFE) を評価した。

【実験結果】Fig. 1 に、実験で作製した MOS キャパシタの CV 測定から High-Low 法により求めた界面準位密度を示す。as-depo 状態では界面準位密度が高い特性の悪い界面しか得られていないが、O₂ POA で界面準位密度が大きく低減されることが分かった。SiNx 層を用いていない NO POA と比較しても同程度の界面準位密度であることがわかる。興味深いのは、O₂ POA と同温度の Ar POA では界面準位低減効果が低いことである。さらに、Fig. 2 にラテラル MOSFET から求めたチャネル移動度を示す。28cm²/V_s という高いチャネル移動度が得られており、SiNx 膜を用いて O₂ アニールすることで、MOS 界面特性が改善されることを確認できた。

本研究は、共同研究体「つくばパワーエレクトロニクスコンステレーション (TPEC)」の事業として行われた。【参考文献】 [1] D.Okamoto, H.Yano, T.Hatayama and T.Fuyuki, Appl.Phys.Lett.96,203508(2010).

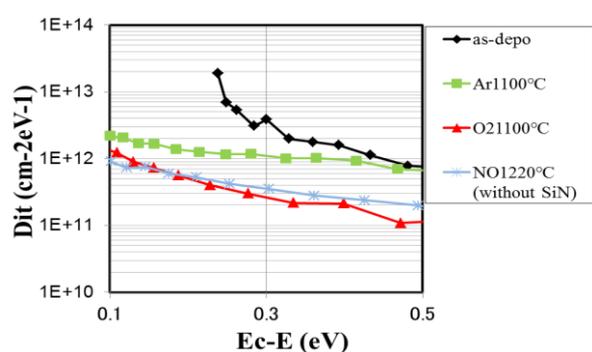


Fig. 1. Dit obtained by Hight-Low method

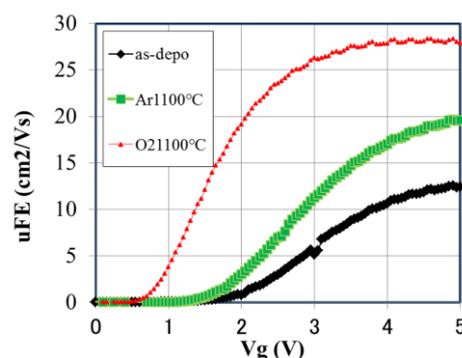


Fig. 2. Field Effect Mobility according to each annealing condition