

半絶縁性 SiC 基板へのイオン注入による ノーマリオフ n-JFET および p-JFET の作製

Fabrication of normally-off n-JFETs and p-JFETs
on a semi-insulating SiC substrate by ion implantation

京大工 °中島 誠志, 金子 光顕, 木本 恒暢

Kyoto Univ., °Masashi Nakajima, Mitsuaki Kaneko, Tsunenobu Kimoto

E-mail:nakajima@semicon.kuee.kyoto-u.ac.jp

はじめに SiC JFET は厳環境で動作可能な論理回路素子として期待されている。エピタキシャル成長層に作製した n-JFET と抵抗による論理回路の報告があるが、消費電力が大きいという課題がある[1]。ノーマリオフ型の n-JFET、p-JFET を組み合わせた相補型 JFET による論理回路は消費電力低減の観点から理想的であるが、エピタキシャル層を利用した同一基板上のノーマリオフ n-JFET、p-JFET の作製は困難である。本グループは、半絶縁性基板へのイオン注入により n-JFET、p-JFET を作製し、動作を確認したが[2]、イオン注入分布の深さ方向の差分を利用してチャンネルを形成したため、ノーマリオフ型とはならなかった。今回、素子構造の改良により、同一基板上ノーマリオフ n-JFET、p-JFET の作製に成功したため報告する。

JFET の作製と特性評価 今回作製した JFET の構造の上面図を図 1 に示す。ゲート部の pn 接合を急峻にするため、注入イオンのチャネリングの影響が少ない方向でチャンネル厚が決定できるように設計している。半絶縁性 SiC 基板に P イオンを注入し n 型を、Al イオンを注入し p 型を形成した。ゲートおよびチャンネルのドーピング密度は約 $5\times10^{19}\text{ cm}^{-3}$ および $5\times10^{16}\text{ cm}^{-3}$ とした。イオン注入後 1650°C で 10 分間活性化アニールを行った。JFET の閾値電圧を決定するチャンネル厚 (a) は、SiC pn 接合の拡散電位から算出される理論的な値に加え、横方向チャネリングの影響を考慮して n-JFET では $1\text{ }\mu\text{m}$ 、p-JFET では $0.8\text{ }\mu\text{m}$ とした。チャンネル幅 (深さ方向) は約 600 nm とし、チャンネル長 (L_{ch}) は $2\text{ }\mu\text{m}$ 、 $4\text{ }\mu\text{m}$ 、 $8\text{ }\mu\text{m}$ などとした。前回の構造ではチャンネルを片側から制御するシングルゲート構造であったのに対し、今回作製した構造はチャンネルを両側から制御するダブルゲート構造となっており、電流制御能力が高い。また、イオン注入時のマスクの設計によりチャンネル厚を制御できるため、閾値電圧の制御性が良いと考えられる。作製した n-JFET、p-JFET の室温でのドレイン特性 ($I_{\text{D}}\text{-}V_{\text{D}}$ 特性) を図 2 に示す。今回作製した JFET が良好なトランジスタ動作を示していることがわかる。室温における飽和領域の n-JFET ($V_{\text{D}} = 2\text{ V}$) および p-JFET ($V_{\text{D}} = -2\text{ V}$) のゲート特性 ($I_{\text{D}}\text{-}V_{\text{G}}$ 特性 および $I_{\text{G}}\text{-}V_{\text{G}}$ 特性) を図 3 に示す。ゲートリークが十分小さい電圧範囲で JFET がオン状態に至っており ($V_{\text{T}} = 1.2\text{ V}$ (n-JFET), $V_{\text{T}} = -0.6\text{ V}$ (p-JFET))、今回作製した同一基板上 n-JFET および p-JFET において、ほぼ設計通りのノーマリオフ動作が得られた。

[1] P. G. Neudeck, et al., AIP Advances 6, 125119 (2016) [2]金子 他,第 78 回応用物理学会秋期学術講演会 6a-A201-6

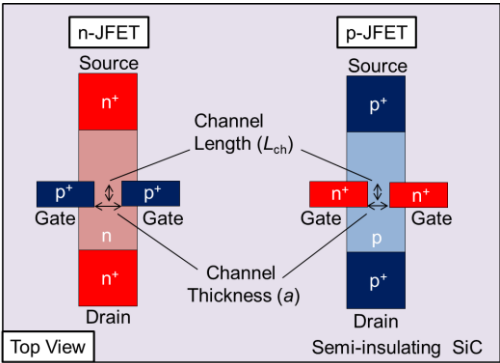


Fig.1: Schematic structure of n-JFET and p-JFET fabricated in this study (Top View).

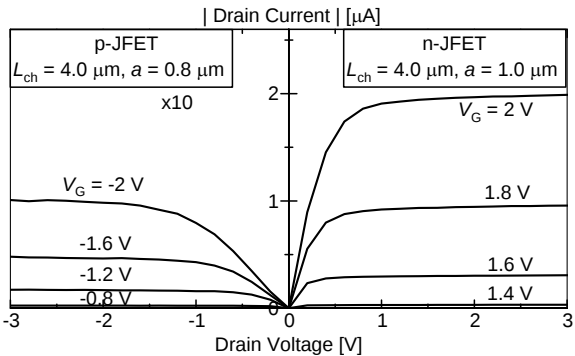


Fig.2: $I_{\text{D}}\text{-}V_{\text{D}}$ curves (output characteristics) of the n-JFET and p-JFET.

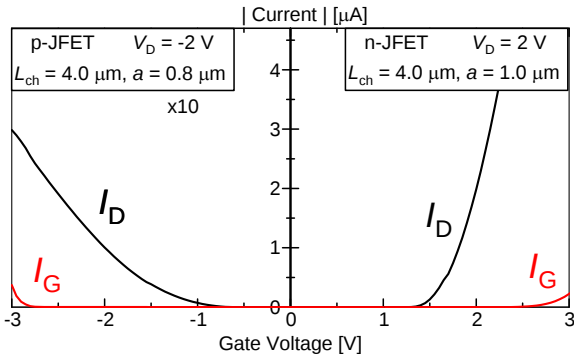


Fig.3: $I_{\text{D}}\text{-}V_{\text{G}}$ curves (transfer characteristics) and $I_{\text{G}}\text{-}V_{\text{G}}$ curves of the n-JFET and p-JFET.