## Photo-assisted CV 測定で評価する NIT にみる NO-POA と wet-POA 界面特性の違い Difference of the effect on interface properties between NO-POA and wet-POA

## in terms of NIT evaluated by photo-assisted CV measurement

## 東京大学大学院工学系研究科マテリアル工学専攻 <sup>0</sup>西田 水輝,作田 良太,平井 悠久,喜多 浩之

Dept. of Materials Engineering, The Univ. of Tokyo, °Mizuki Nishida, Ryota Sakuta, Hirohisa Hirai

and Koji Kita

## E-mail: nishida@scio.t.u-tokyo.ac.jp

[序論] SiC MOSFET のチャネル移動度や信頼性は酸化後の POA(post-oxidation-annealing)により変化す る。界面欠陥準位密度(D<sub>it</sub>)を低減させる技術として NO-POA <sup>[1]</sup>や H<sub>2</sub>O 雰囲気下での wet-POA<sup>[2]</sup>などが あるが、それぞれの効果を独立して適用できるかどうかは明らかではなく、また両者を組み合わせた 場合に関する報告は限られている<sup>[3]</sup>。本研究では特に、NO-POA 後に wet-POA を行った場合について D<sub>it</sub>や NITs(near interface traps), MOSFET 移動度の観点で調査を行った。

[実験]n 型エピタキシャル層(N<sub>D</sub>=1.0×10<sup>16</sup> cm<sup>-3</sup>)を有する 4H-SiC Si 面基板を洗浄後、1300°C での dry 酸 化ののち、NO:N<sub>2</sub>=1:2 の混合ガス雰囲気下で 1150°C, 2hr の NO-POA を行った。次に H<sub>2</sub>O:O<sub>2</sub>=9:1 雰囲 気下で 800°C 0-8 hr の wet-POA を行って MOS キャパシタとした。コンダクタンス法により D<sub>it</sub> を、 photo-assisted CV 測定から比較的応答の遅い NITs とエネルギー的に深い界面欠陥準位を評価した<sup>[4]</sup>。 また、一部の条件に関しては、p型エピタキシャル層(N<sub>A</sub> = 1.3×10<sup>16</sup> cm<sup>-3</sup>)を有する 4H-SiC Si 面基板上 に MOSFET を作製し、電界効果移動度の測定を行った。

[結果・考察]Fig.1 は典型的な photo-assisted CV 特性を示している。反転側へ電圧を印加した状態でエ ネルギー3.4 eV の単色光を照射し、光の遮断後に電圧を掃引した。この時現れるヒステリシスは比較 的応答が遅い欠陥準位に起因する<sup>(4)</sup>ことから NITs の量を推定することができる。本研究ではフラット バンド容量における電圧差分から NITs を推定した。Fig.2 は各サンプルにおける NITs の推定結果を示 しており、NITs が極小をとる傾向がある。Fig.2中にコンダクタンス法によって求めた、各サンプルで の E<sub>c</sub>-E = 0.3 eV における D<sub>it</sub>を示している。短時間の wet-POA では D<sub>it</sub> が改善されるが、長時間 wet-POA を行うと徐々に劣化し、短時間側に D<sub>it</sub>の極小が存在する<sup>[5]</sup>ことから wet-POA 時間の制御による Dit 及び NITs の最適化が可能であると考えられる。図には示していないが、バンドギャップ以下のエネ ルギーの照射応答から推定した深い欠陥準位はどのサンプルでも少なく、Ec-E = 1.2~1.6 eV において <10<sup>11</sup> eV<sup>-1</sup>cm<sup>-2</sup> 程度であった。Fig. 3 は MOSFET チャネル移動度の wet-POA の有無による差異を示し ている。2 hr の wet-POA によってチャネル移動度が向上した。この2条件では Dit は同程度だが NITs が異なる条件であることを考慮すると、wet-POA で NO-POA 後に残留した NITs を低減することで移 動度が向上すると示唆される。以上のことから NO-POA と wet-POA では、異なる界面欠陥低減効果を 有し、そのため両者を組み合わせで D<sub>it</sub>を低く保ちつつ NITs を最小化することが可能と考えられる。 なお本研究の一部は、総合科学技術・イノベーション会議の SIP 戦略的イノベーション創造プログラム「次世代パワーエレク トロニクス(管理法人:NEDO)」及び JSPS 科研費補助金の助成により実施された。

[1]T. Hatakeyama et al., Applied Physics Express **10**, 046601 (2017) [2] M. Okamoto et al., Mater. Sci. Forum 778, 975 (2014) [3] M. Furuhashi et al., ICSCRM 2013 We-1 A-2 [4] 西田ら, 第 78 回応用物理学会秋季学術講演会 5a-A203-7 [5] 作田ら, 本講演会 (2018)



**Fig.1** Typical photo-assisted CV charactristics of dry+NO+wet-POA(30min) sample.







**Fig.3** Field effect mobilities of MOSFETs w/ and w/o wet-POA. Dotted line and solid line show the results of dry+NO and dry+NO+wet(2hr) samples, respectively.