

## 各種リテンション技術を用いた SRAM のパワーゲーティング性能

Power-gating performance of SRAM using various retention techniques

東工大未来研 原拓実, 吉田隼, 北形大樹, 山本修一郎, 菅原聡

T. Hara, H. Yoshida, D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail : hara.t.1011@isl.titech.ac.jp

**【はじめに】**IoT デバイスに用いるマイクロコントローラ(MC)やシステムオンチップ(SoC)ではその低消費電力化が重要である。特に、このようなロジックシステムにおける SRAM の待機時電力の削減が重要な課題となっている。SRAM の IoT デバイス応用では、速度性能より低消費電力性が重要となることから、高しき値の LSTP 設計のデバイスが用いられ、待機時電力を効果的に削減できるが、これでも十分ではない。このため、いくつかの方法が検討されている。本研究では、各種リテンション技術を用いた SRAM のパワーゲーティング(PG)[1]の効果について検討を行った。

**【セル構成と評価方法】**本研究では SRAM の PG の実現方法として、不揮発性 SRAM (NV-SRAM), 擬似不揮発性 SRAM (VNR-SRAM), SOTB SRAM を用いた各種リテンション技術を用いた。デバイスに 65nm CMOS プロセスの LSTP モデルを用い、HSPICE から電力性能の評価を行った。リファレンスとなる 6T セルの設計には報告値を用いた[2]。VNR-SRAM はプルダウン側のみフィードバック  $T_r$  を有するデュアルモードインバータ(DMI)で構成した[3]。このセルは上記 6T セルと同じサイズの  $T_r$  を用いて構成し、フィードバック  $T_r$  はドライバ  $T_r$  と同じサイズとした。NV-SRAM には強磁性トンネル接合(MTJ)を 6T セルの記憶ノードに  $T_r$  を介して接続したセル構成を用いた[4]。セルは上述の 6T セルのトランジスタサイズ比を用いて、MTJ への書き込み電流およびノイズマージンから設計を行った。SOTB セルは比較用の 6T セルと同じセル構成を用い、低電圧リテンション時は pMOS, nMOS にそれぞれ 2.5V, -2.0V の基板バイアスを印加した。PG の電力性能はコアとキャッシュで構成されるシステムモデルを用いた。キャッシュの占有率はシステム全体の 50%とした。コアはリテンション FF を用いて電源遮断可能とした。FF 部の占有率はコアの 20%とした。スタンバイ電圧は 1.2V と 0.5V とした。PG 時, NV-SRAM では電源遮断(SD), VNR-SRAM では 0.2V で超低電圧リテンション(ULVR), SOTB SRAM では 0.5V(+上述の基板バイアス)で低電圧リテンション(LVR)を行った。パワースイッチは、ヘッダー型を用いたが、VNR-SRAM ではヘッダー/フッターの両方も用いた。

**【解析結果】**図 1 に各種セルのリーク電力を示す。1.2V でのスタンバイ(SB1.2)時の電力で規格化してある。0.5V でのスタンバイ動作(SB0.5)ではすべてのセルで 60-70%電力が削減できる。NV-, VNR-, SOTB-SRAM の各セルではそれぞれ SD, ULVR, LVR することで待機時電力をさらに大幅に削減できる。図 2 にロジックシステムにおける電力削減効率を示す。コア部はリテンション FF によって電源遮断状態である。(a), (b)の場合はそれぞれ 1.2V, 0.5V でのスタンバイ状態から、SRAM 部を PG した場合の電力削減率である。1.2V 動作では、6T-SRAM のスリープモード(0.5V)で 64%電力削減ができるが、これに対して各種リテンション技術を用いれば 84-92%の電力削減が可能となる。また、0.5V 動作では、6T セルを用いた場合、待機時電力を削減するためにはさらに低電圧でリテンションしなければならない。一方、各種リテンション技術では、PG が可能で、この場合でも 59-75%の電力削減が可能となる。各種リテンション技術の特徴は Break-even time (BET), や PG に移行するためのレイテンシ、面積等に現れ、用途によって選択が異なる。

**【謝辞】**本研究内容の一部は科研費(基盤 A)の支援を受けた。シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

**【参考文献】**[1]Y. Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]S. Ohbayashi *et al.*, IEEE J. Solid-State Circuits, **42**, pp. 820-829, 2007. [3]D. Kitagata *et al.*, IEEE S3S 2018, paper 13.5. [4]D. Kitagata *et al.*, Jpn. J. Appl. Phys. **58**, SBBB12, 2019.

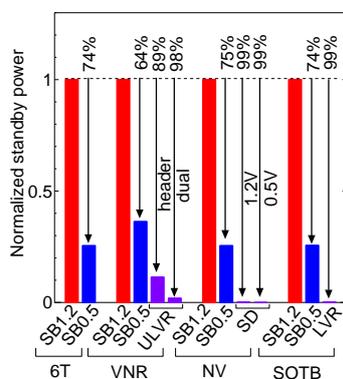


図 1 各種セルのリーク電力

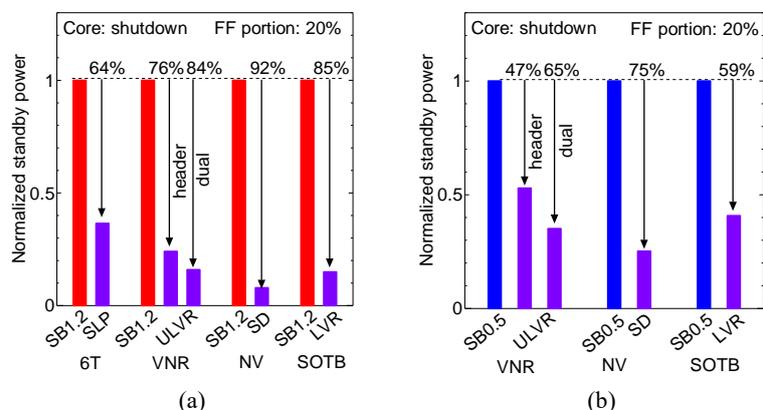


図 2 ロジックシステムの電力削減効率。(a)スタンバイ電圧 1.2V. (b)スタンバイ電圧 0.5V.