

NV-SRAM を用いた Useless data の積極的破棄による不揮発性パワーゲーティング Nonvolatile power-gating using NV-SRAM based on the proactive flash of useless data

東工大未来研 北形大樹, 山本修一郎, 菅原聡

D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: kitagata.d@isl.titech.ac.jp

【はじめに】現在の CMOS ロジックシステムでは待機時消費電力の削減のためパワーゲーティング(PG)が標準的に用いられている[1]. しかし, 現状の PG では CMOS ロジック内の記憶回路が揮発性であることに起因して, PG のエネルギー削減効率は制約を受けている. そこで, 我々は高いエネルギー削減効率の PG を実現するため, 不揮発性双安定記憶回路を用いた PG(NVPG)を提案している[2]. これまでに, 強磁性トンネル接合(MTJ)を用いた不揮発性 SRAM (NV-SRAM)[2]や不揮発性フリップフロップ[3]を用いた NVPG 技術の開発を進めている. NV-SRAM では MTJ への書き込み(以後, ストアと呼ぶ)のエネルギー消費が Break-even time (BET; エネルギーを削減できる最少の電源遮断時間)を増大させるため, NVPG の高効率化にはストアエネルギーの削減が重要となる. 我々はこれまでに効果的なストアエネルギーおよび BET の削減方法として階層型ストアフリーアーキテクチャ(Hierarchical store-free architecture; HSF)[2]を検討・報告してきた. 今回は, これに加えて, 電源復帰後に不要となるデータをストアせずに積極的に破棄することで NV-SRAM のエネルギー性能を向上できる技術について報告する.

【提案アーキテクチャ】NV-SRAM セルには, MTJ を通常の 6T セルの記憶ノードに T_r を介して接続した構成を用いた(図 1)[2]. NV-SRAM セルによる 8kB のサブアレイを単位として所望の容量のアレイを構成し, これにパワースイッチ(PS)と通常動作および NVPG 動作の周辺回路を含めて NV-SRAM を構成した. 各サブアレイは 8 ブロック(1kB)からなり, PS によってブロックごとの電源供給/遮断が可能である. PS を制御するパワーマネジメントユニット(PMU)には, 通常動作の書き込み時に, 各ブロックの書き込みアクセスの有無を示すフラグ(Store-free block flag; SFBF)を記憶する回路と, 電源復帰後に不要となる(電源遮断前に破棄できる)ブロックを示すフラグ(Useless data flag; UDF)を記憶する回路が設けられている. HSF では, MTJ に既書き込みのブロックのうち, その後の通常の SRAM 動作で書き込みがなかったブロックは SFBF で指定され, 電源遮断時にこれに基づいてストアをスキップする. 今回の提案アーキテクチャでは, まず, UDF によって今後不要なデータとして指定されていればストアをスキップし(ただし, 書き換えのあったデータはライトスルーまたはライトバックによって, 電源遮断より前に下位の記憶回路に書き戻されているとする), 次に, 残りのブロックについて SFBF に基づく HSF を行う. UDF の生成には, 長期間使用されなかったブロックや, 使用頻度の少ないブロックをなどから指定するなどいくつかの方法がある.

【解析結果】エネルギー解析には HSPICE を用い, BET などの性能指標等の評価を行った. 図 2 に 256kB の NV-SRAM における BET とストア動作に要するレイテンシのストアフリー率依存性を示す. ここでは不要データの割合(全ブロック数に対する UDF の割合)を変化させている. ストアフリー率は全ブロックのうち不要データのブロックを取り除いた残りのブロックに対する SFBF の割合として定義してある. SFBF に応じてストア信号を disable する simple store skipping (SSS)アーキテクチャでは[2], ハードウェアのみで簡単に実装できるが, メモリ容量が大きくなると BET の削減効果が薄れることやストアレイテンシの削減効果がないが, 図に示すように HSF では, BET, ストアレイテンシはいずれもストアフリー率に応じて削減できる. さらに, UDF を用いることで, BET, ストアレイテンシは大幅に削減できる.

【謝辞】本研究の一部は東芝メモリ奨励研究の援助を受け実施された. シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通してソブス株式会社の協力で行われたものである.

【参考文献】[1]Y. Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 2007, 74. [2]D. Kitagata *et al.*, Jpn. J. Appl. Phys. **58**, 2019, SB3B12 [3]S. Yamamoto *et al.*, Electron. Lett. **47**, 2011, 1027.

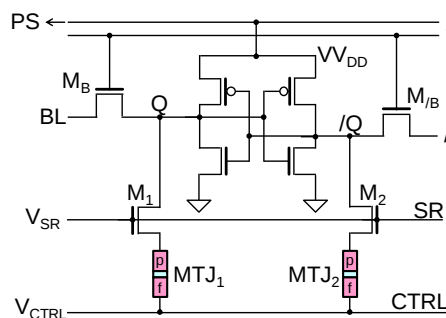


図 1 NV-SRAM のセル構成.

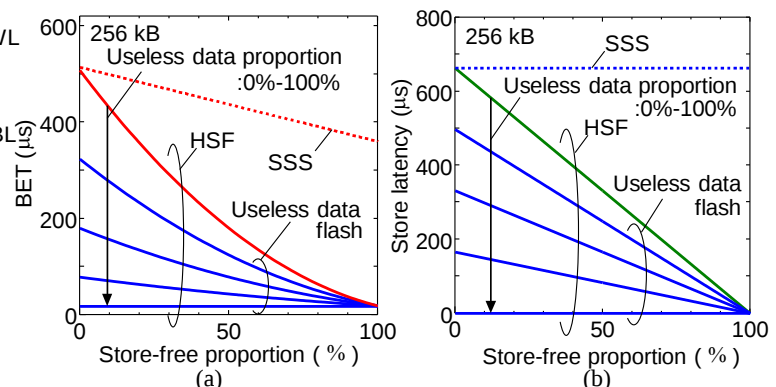


図 2 (a)BET と (b)ストアレイテンシのストアフリー率依存性.