

非対称 S/D 構造による閾値ばらつきを抑制したメモリ向け駆動トランジスタの縮小

Driver-Transistor Scaling for Memory with Asymmetric Source/Drain Structure Suppressing Variation in Threshold Voltage

東芝メモリ株式会社 メモリ技術研究所 デバイス技術開発センター

○深瀬 和也、小田 穰、宮田 俊敬、岡本 浩樹、外園 明、伊藤 勇、小山 正人

Device Technology R&D Center, Institute of Memory Technology R&D, Toshiba Memory Corp.

○Kazuya Fukase, Minoru Oda, Toshitaka Miyata, Hiroki Okamoto, Akira Hokazono, Isamu Ito, Masato Koyama

E-mail: kazuya.fukase@toshiba.co.jp

【背景】半導体メモリにおいて、チップあたりのコストを低下させるためにはメモリセルの微細化に併せ、メモリ向け駆動トランジスタの縮小が重要となる。旧来構造である Source/Drain(S/D) 対称トランジスタ(Symmetry transistor)では、ゲート長(L_g)縮小による短チャネル効果に起因した閾値電圧(V_{th})のばらつき(σV_{th})上昇^[1]と、S/D 間耐圧の劣化が問題となり、メモリとして動作させるための電圧マージンが確保できなくなることが示唆される。メモリ向け駆動トランジスタとして短チャネル特性および耐圧の向上を目指して、Recess-Channel-Array Transistor(RCAT)^[2]が提案されているが、製造コストの増大が問題となる。別の候補である、プロセス増加を抑えて短チャネル効果抑制可能な S/D 非対称トランジスタ(Asymmetry transistor) (図 1)は、Halo として注入された不純物に起因した σV_{th} の増加が指摘されているが^[3]、短チャネル領域における σV_{th} と S/D 間耐圧に関しては詳細に解析されていない。本研究では、メモリ向け駆動トランジスタとしてこの S/D 非対称トランジスタを提案し、 σV_{th} と耐圧を考慮しながら L_g 縮小が可能であることを検討した。

【実験】S/D 非対称トランジスタはリソグラフィプロセスによって、ソース側には Halo および Extension 領域を形成し、ドレイン側には Lightly Doped Drain(LDD)構造を形成した。

【結果と考察】対称トランジスタは L_g の縮小に伴い σV_{th} が上昇するが(図 2 中①)、非対称トランジスタでは L_g 依存性が小さく、微細ゲート領域($L_g < 0.3 \mu m$)では対称トランジスタより σV_{th} の抑制が確認されている(図 2 中②)。非対称トランジスタの V_{th} は、ソース端における Halo 領域のポテンシャル障壁で決定されるため、 L_g 依存性が小さい。また、短チャネル領域ではこの Halo 領域によりドレイン電圧の影響が小さく、短チャネル効果に起因した σV_{th} が抑制されている。ドレインのブレークダウン電圧(V_{bd})は、微細ゲート領域($L_g < 0.3 \mu m$)において、対称トランジスタより高耐圧であることが確認された(図 3)。これは、ソース端に形成された Halo 領域により、空乏層の広がり方が抑制されたことに起因する。非対称トランジスタでは V_{bd} および σV_{th} の改善からゲート長の縮小が可能となり、 $L_g \leq 0.25 \mu m$ において必要となる駆動電流(I_{ds})が確認されている(図 4)。以上より、非対称トランジスタ($L_g = 0.25 \mu m$)は、対称トランジスタ($L_g = 0.3 \mu m$)と比較し、 I_{ds} 、 σV_{th} 、 V_{bd} のいずれも優位となり、非対称 S/D 構造を適用することでメモリ向け駆動トランジスタの縮小が可能であることが確認された。

本発表は、Western Digital Corporation と東芝メモリの共同開発成果である。

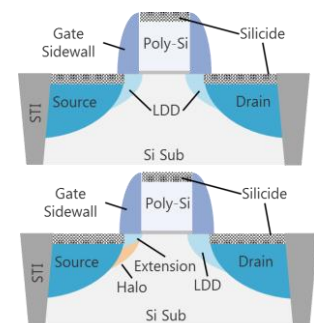


Fig.1 Cross sectional view of a symmetry (top)/asymmetry (bottom) transistor.

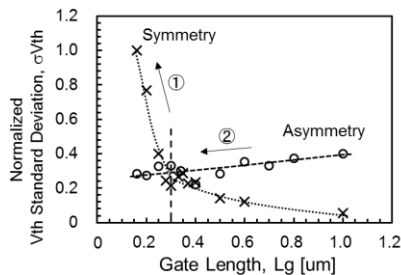


Fig. 2 σV_{th} vs. L_g at various types of transistors. σV_{th} is normalized by σV_{th} at $L_g = 0.16 \mu m$ in symmetry transistors. Smaller σV_{th} was achieved at $L_g < 0.3 \mu m$ in asymmetry transistors.

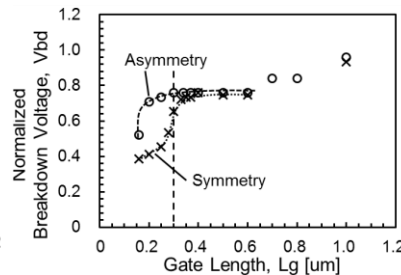


Fig. 3 V_{bd} vs. L_g at various types of transistors. V_{bd} is normalized by V_{bd} at $L_g = 0.16 \mu m$ in symmetry transistors. Asymmetry transistors show sufficient V_{bd} at $L_g < 0.3 \mu m$.

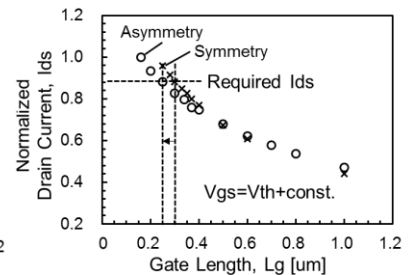


Fig. 4 I_{ds} - L_g characteristics. I_{ds} is normalized by I_{ds} at $L_g = 0.16 \mu m$ in symmetry transistors. Required I_{ds} was obtained at scaled L_g of $0.25 \mu m$ in asymmetry transistors.

[1] Y. Kobayashi et al., Jpn. J. Appl. Phys. 49(2010), 044201.

[2] J. Y. Kim et al., Symp. VLSI-TSA-Tech., (2005) pp.33-34.

[3] C. Bulucea et al., IEEE Trans. Electron Devices (2010), vol 57, no, 10, pp. 2363-2380.