

横型 p/n 積層ナノワイヤによる NOR と NAND セルの省面積設計

NOR and NAND Cell Layout using p/n-Vertically-Integrated Nanowire FET

東京工業大学, °山岸 朋彦, 堀 敦, 宗田 伊理也, 角嶋 邦之, 筒井 一生, 若林 整

Tokyo Institute of Technology, °T. Yamagishi, A. Hori, I. Muneta, K. Kakushima, K. Tsutsui and

H. Wakabayashi, E-mail: yamagishi.t.af@m.titech.ac.jp

背景

Gate-All-Around (GAA)構造を持つ Nanowire (NW) FET は、その優れた静電特性からサブ 5 nm ノード技術での利用が期待されている[1,2]。その一つとして、デバイスの自己発熱効果[3]を抑制できる S/D 逆凹型コンタクト構造を用いた NW/FinFET が提案されている[4]。更に集積度を高めるために p/n 積層 NW/FinFET が挙げられ、CMOS Inverter および SRAM のセルレイアウトが発表されている[4,5]。また、これら積層 NW に向けた Fork 構造のコンタクトについても発表されている[6]。そこで本研究では p/n 積層 NW/FinFET を用いて、コンタクトによる放熱経路を確保しつつ面積が最小となる Transfer gate, NOR, NAND の 3D レイアウトを新たに考案し、セル面積の低減効果を検討した。

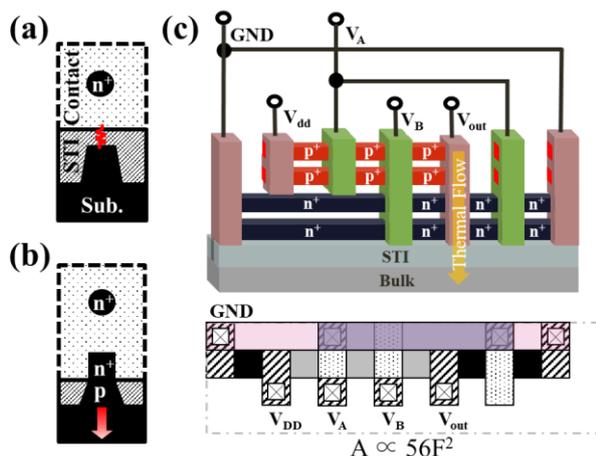


Fig. 1: Schematics along the contact of NW (a) w/o and (b) w/ recessed contact. 3D configuration and 2D layout for NOR with p/n-vertically-integrated NW/FinFETs is shown in (c).

設計手法

コンタクト構造の断面図と作成した NOR の 3D レイアウトを Fig. 1 に示す。上層の pMOS

での発熱に対し、コンタクトを通じた基板への放熱経路が確保されている。同様に、Transfer gate, NAND についてもレイアウトを作成した。作成した各セルレイアウトについて、縦横長さ F の正方形を基準として規格化したセル面積を求めた。比較対象として、平面型レイアウトでのセル面積を求めた。

結果・考察

Fig 2 にトランジスタ数あたりのセル面積をプロットしたものを示す。この図より、トランジスタ数が 4 となる NAND と NOR ではセル面積の低減がより顕著であることがわかる。この結果から、横型 p/n 積層 NW/FinFET を用いて発熱を抑えた微細 LSI の実現が期待される。

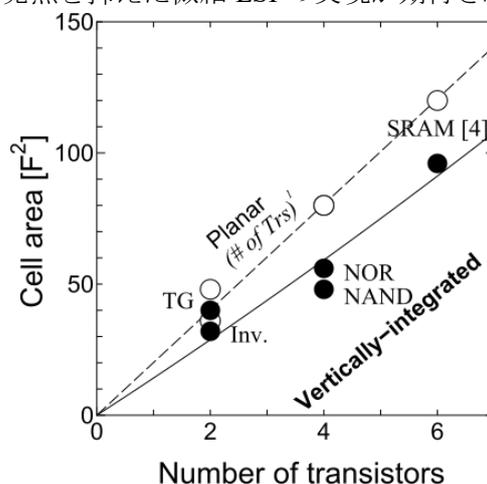


Fig. 2: Cell area dependence on number of transistors for some cell configurations. TG: Transfer gate, Inv.: Inverter.

【謝辞】本研究の一部は JSPS 科研費 (18K04258)の助成を受けたものである。

参考文献

- [1] H. Wakabayashi, *et al.*: IEEE TED, V.53,1,9, p. 1961, 2006.
- [2] G. Bae, *et al.*: IEDM, pp. 28.7.1-28.7.4, 2018.
- [3] T. Takahashi, *et al.*: IEDM, pp. 7.4.1-7.4.4, 2013.
- [4] E. Anju, *et al.*: J-EDS, pp. 1239-1245, vol. 6, 2018.
- [5] J. Ryckaert, *et al.*: Sym., VLSI Tech., T13.3, p. 141, 2018.
- [6] P. Weckx, *et al.*: IEDM, pp.505-508, 2017.