

新構造ピエゾエレクトロニックトランジスタを用いた FF の設計と性能

Design and performance of Flip-Flops configured with piezoelectronic transistors

¹ 東工大未来研, ² 東工大物質理工, ³ 東工大工学院

塩津 勇作¹, 山本 修一郎¹, 舟窪 浩², 黒澤 実³, 菅原 聡¹

[○]Y. Shiotsu¹, S. Yamamoto¹, H. Funakubo², M. K. Kurosawa³, and S. Sugahara¹

¹ FIRST, Tokyo Inst. of Tech., ² Sch. of Mater. and Chem. Tech., Tokyo Inst. of Tech., ³ Sch. of Eng., Tokyo Inst. of Tech.

E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】CMOS ロジックにおけるサブ/ニアスレッショルド電圧駆動は大幅な消費電力の削減が可能であるが、トランジスタの電流駆動能力の劣化によって回路の速度性能は大幅に低下する[1]。ピエゾエレクトロニックトランジスタ(PET)は 0.2 V 以下の超低電圧(ULV)においても大きな電流駆動能力を有することから、ULV 駆動による消費電力の大幅な削減と高速動作の両立が可能なトランジスタとして期待されている[2-5]。PET は圧電体(PE)ゲートとピエゾ抵抗体(PR)チャネルから構成され、PE ゲートから PR チャネルに印加される圧力によるチャネルの金属-絶縁体転移を用いてトランジスタ動作を行う[2]。最近、我々はデバイスの支持構造を用いることなく、PE ゲートから PR チャネルに効果的に圧力を印加できる新構造の PET を提案した[3-5]。本発表では、PET で構成した FF の設計方法と回路性能について報告する。

【デバイス構造】図 1(a)に新型 PET の構造図を示す。新型 PET では円筒形の PR チャネルを取り囲むように PE ゲートを配置し、PE ゲートはドレイン・ソースの向きと平行になるように誘電分極させてある。この構造では、高降伏強度材料などによる支持構造を用いることなく、PR チャネルに圧力を高効率に印加できる。また、誘電分極の向きを変えることで CMOS と同等の相補型動作を実現できる。PET の動作は、electro-mechanical 方程式から構築した等価回路を用いて解析した。本研究では、PR チャネルに SmSe を、PE ゲートに PMN-PT を選択し、その物性値は報告値を用いた[2,3]。PET の電流駆動能力はゲート電圧 V_G によって PR チャネルに印加される圧力 P に依存する。 P は $P=\alpha V_G$ と表せ、 α は材料が決まっていれば構造パラメータ(図 1(b))から決まる定数となる。この α は所望のオン電流 I_D から設計する方法(I_D 設計)と、所望のリーク電流 I_{leak} から設計する方法(I_{leak} 設計)の 2 つがある[5]。ただし、どちらの場合でも信頼性確保のため電流密度 J_D はある決められた値を満たすように設計する。今回は動作電圧を $V_{DD}=0.2$ V として、 I_D , I_{leak} , J_D を 10 nm FinFET[6]を参考に決めた(それぞれ I_{D0} , I_{leak0} , J_{D0} とする)。

【FF の設計と解析結果】図 2 に PET を用いた FF の構成を示す。図中の数字または N_{FP} は PET のチャネル数を示している。図 3 に $N_{FP}=4$ におけるクロック-出力遅延 τ_{CLK-Q} とリーク電力 P_{leak} のチャネル長依存性を示す。ここでは、 $L_{PR}=L_{PE}$ として I_D 設計を用いて、各 L_{PR} で $J_D=J_{D0}$, $I_D=I_{D0}$ となるように D_{PR} と d_{PE} を設計した[5]。 I_D 設計では L_{PR} を減少させると PE の断面積はより減少するため、ゲート容量 C_{PE} が小さくなり、 τ_{CLK-Q} を向上できる。この一方で、 I_{leak} が上昇することから、 P_{leak} が増大する。図 4 に $L_{PR}=7$ nm における N_{FP} 依存性を示す。ここでは、 $J_D=J_{D0}$, $1.5 J_{D0}$, $2 J_{D0}$ とした I_D 設計($I_D=I_{D0}$)で PET を設計した。 N_{FP} を増加させることで τ_{CLK-Q} を減少できるが、チャネル数増加のため P_{leak} も上昇する。PET では J_D 一定で I_D を増加させても入力容量が同様に変化するため遅延特性は改善されない。 J_D を上げることで C_{PE} と I_{leak} が減少し、 τ_{CLK-Q} と P_{leak} を同時に改善できる。ただし、 J_D は信頼性を確保できる値を満たす必要があるが、ULV 駆動で数百 MHz~GHz 程度の高速度動作を実現できる可能性がある。

【参考文献】[1] S. Jain *et al.*, IEEE ISSCC, 3.6, 2012. [2] D. Newns *et al.*, J. Appl. Phys. **111**, 084509, 2012. [3] S. Sugahara *et al.*, IEEE S3S Conf., 16.5, 2017. [4] Y. Shiotsu *et al.*, IEEE SNW, P2-5, 2018. [5] Y. Shiotsu *et al.*, EUROSOL-ULIS, P11, 2019. [6] S. Sinha *et al.*, 49th ACM/EDAC/IEEE DAC, pp. 283-288, 2012.

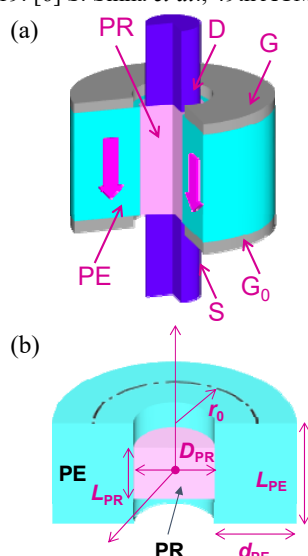


図 1 新型 PET の(a)構造と(b)構造パラメータ

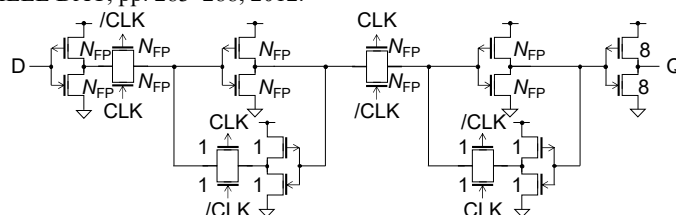


図 2 新構造 PET で構成した D-FF

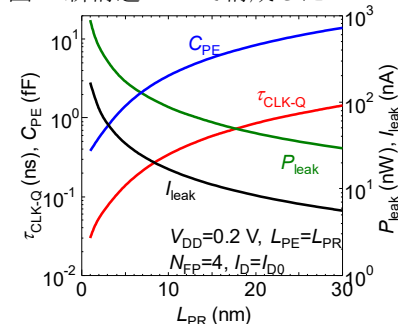


図 3 I_D 設計における τ_{CLK-Q} と P_{leak} の L_{PR} 依存性

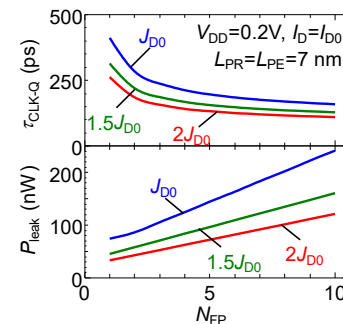


図 4 $L_{PR}=7$ nm における τ_{CLK-Q} と P_{leak} の N_{FP} 依存性