

不揮発/擬似不揮発記憶を用いた SRAM のパワーゲーティング性能

Performance of nonvolatile power-gating using VNR-SRAM and NV-SRAM

東工大未来研 吉田隼, 北形大樹, 山本修一郎, 菅原聡

H. Yoshida, D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail : yoshida.h.ao@m.titech.ac.jp

【はじめに】パワーゲーティング(PG)は、近年のマイクロプロセッサや SoC などの CMOS ロジックシステムに標準的に搭載されている待機時電力の削減技術である[1]。しかし、ロジックシステム内の記憶回路が揮発性記憶回路で構成されているため、電源遮断によるデータの消失を防ぐための各種データ保持技術が必要となり、これが PG のエネルギー削減効率を制約している。したがって、ロジックシステム内の記憶回路の不揮発化は PG の高効率化に有効となるが、不揮発性メモリ素子を用いると、この書き込みエネルギーや、CMOS ロジックへのエンベディッド技術が課題になる。そこで、我々は極めて微小な仮想電源電圧(Virtual V_{DD} ; VV_{DD})を用いて、不揮発性メモリ素子を用いることなく、データを保持できる擬似不揮発性双安定記憶回路を提案してきた[2]。前回の報告ではデュアルパワースイッチ(DPS)を用いた擬似不揮発性 SRAM(VNR-SRAM)を提案し、待機時電力を大幅に削減できることを報告した[3]。今回は、従来技術、不揮発記憶、擬似不揮発記憶を用いた SRAM における PG の性能比較について報告する。

【セル構成と評価方法】デバイスには 65nm CMOS プロセスの LP モデルを用いた。従来技術には通常の 6T セルを用い、セルの設計は報告値を用いた($W_{load}:W_{pass}:W_{driver}=1:1:1.5$)[4]。PG 時に 6T セルのスリープモードによって、データを保持した。このときの VV_{DD} の値は電源電圧 V_{DD} の 7 割とした。不揮発記憶を用いる場合は、強磁性トンネル接合(MTJ)を 6T セルの記憶ノードに T_r を介して接続する NV-SRAM セルを用いた[5]。セルは上述の 6T セルのトランジスタサイズ比を用いて、MTJ への書き込み電流およびノイズマージンから設計を行った[5]。MTJ を接続する T_r はパsgateと同じサイズとした。擬似不揮発記憶にはデュアルモードインバータ(DMI)で構成された VNR-SRAM を用いた(図 1)[3]。DMI はプルダウン側のみフィードバック T_r を有する構造とした。セルは上記 6T セルと同じサイズの T_r で構成した。フィードバック T_r はドライバ T_r と同じサイズとした。VNR-SRAM セルは、通常電圧下では 6T-SRAM と同等の動作が可能なブースト・インバータ(BI)モードで動作させ、PG 時にはシュミットトリガ(ST)モードに切り替えて超低電圧(ULV)でリテンションを行う。この切り替えは、フィードバック T_r のバイアスを切り替えることで行う。パワースイッチはヘッダータイプ(HPS)を用いたが、VNR-SRAM ではヘッダーとフッターの両方(DPS)を用いた場合も検討した。DPS を用いる場合には、これらの DPS によって自動的に生成できる基板バイアスを導入した構造[3]も検討した(別バイアス電源不要)。解析には HSPICE を用いた。

【解析結果】図 2 に 6T-SRAM, VNR-SRAM, NV-SRAM の電源遮断時の待機時電力を示す。6T セルではスリープモードを用いることで、約 33%の待機時電力を削減できる。これに対して、NV-SRAM では電源遮断を行うことで 99%以上の電力削減が可能である。また、VNR-SRAM では HPS 構成では約 91%、DPS でもこれよりわずかに小さくなるだけであったが、DPS によって生成できる基板バイアスを加えることで、待機時電力の削減率は 98%まで大きく向上できた。PG では、モード移行/電源遮断時に余剰エネルギーを生じるが、このエネルギーを補うことができる最小の電源遮断時間が Break-even time (BET)と定義され、PG の評価指標となる。図 3 に BET の最小値である BET_{min} を VNR-SRAM と NV-SRAM について示す。ここではセルレベルで BET の評価を行った。NV-SRAM では BET_{min} が約 100 μs であるのに対して、VNR-SRAM では PS の構成にあまり依らず、約 800 ns と、 BET_{min} を大きく削減することが可能である。したがって、ULV リテンションに基づく擬似不揮発記憶も PG の高効率化に有効である。

【謝辞】本研究の一部は東芝メモリ奨励研究の援助を受け実施された。シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

【参考文献】[1]Y.Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]D.Kitagata *et al.*, IEEE SNW2018, p2-17. [3] 吉田隼他, 第 66 回応用物理学会春季学術講演会, 20a-CE-6, 2018. [4] S. Ohbayashi *et al.*, IEEE J. Solid-State Circuits, vol. 42, pp.820-829, 2007. [5]D.Kitagata *et al.*, JJAP2019, vol. **58**, no SB, pp.SBBB 12/1-10.

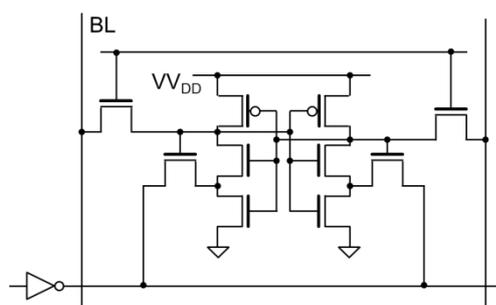


図 1 VNR-SRAM セルの構成

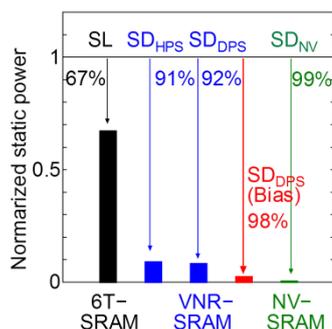


図 2 スタンバイパワーの比較

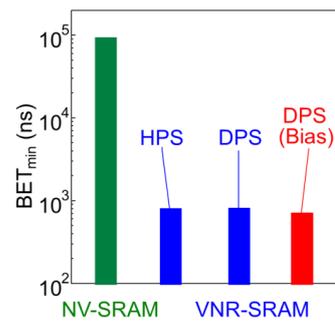


図 3 BET_{min} の比較