

不揮発/擬似不揮発性 FF を用いたパワーゲーティングの性能評価

Performance evaluation of power gating architectures using nonvolatile/virtually-nonvolatile Flip-Flops

東工大未来研 瀧口憲一郎, 北形大樹, 松崎翼, 山本修一郎, 菅原聡

K. Takiguchi, D. Kitagata, T. Matsuzaki, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: takiguchi.k.ab@m.titech.ac.jp

【はじめに】最近のマイクロプロセッサやシステムオンチップ(SoC)には待機時消費電力の削減のため、パワーゲーティング(PG)が用いられている[1]. PG のエネルギー削減効率は、ロジックドメイン内の記憶回路のデータ保持方法に依存する. ロジックドメイン内の記憶回路の不揮発化は PG の高効率化に有効である[2]. 我々は、これまでに不揮発性メモリ素子を用いた不揮発性 SRAM(NV-SRAM[2])や不揮発性 FF(NV-FF[3]), 極めて微小な仮想電源電圧(V_{DD})を用いてデータを保持できる擬似不揮発性 SRAM(VNR-SRAM[4])や擬似不揮発性 FF(VNR-FF[5])の開発を進めてきた. 今回は、NV-FF や VNR-FF を PG に応用した場合のロジックシステムの電力性能を、従来技術と比較して検討を行った.

【回路構成と評価方法】解析には HSPICE を使い、デバイスには 65nm CMOS プロセスの LP モデルを使用した. PG の評価にはロジック部とキャッシュ部からなるシステムモデルを用いた. ロジック部の状態リテンションに以下にのべる各種 FF を用いた. まずは通常の DFF をデュアルパワーレールにして構成するリテンション FF(R-FF)を検討した. リテンションは通常の電源電圧 V_{DD} の他に V_{DD} の 7 割程度のスリープモードも用いた. R-FF はスタンダードセルを参考にして設計した. 以下に述べる各種 FF はこの設計をベースにした. VNR-FF は R-FF のスレーブラッチをデュアルモードインバータ(DMI)からなる双安定回路(図 1a)で置換することで構成した. DMI 内のフィードバック Tr のバイアスを切り替えることで、通常動作と超低電圧リテンション(ULVR)とのモード切替えを行う[5]. この VNR-FF は通常動作時のリーク電流が R-FF と同程度となるように設計した. ULVR は 0.2V で行った. NV-FF は R-FF のスレーブラッチの記憶ノードに Tr を介して強磁性トンネル接合(MTJ)を接続した双安定回路(図 1b)を用いて構成した. 通常動作時にこの Tr を遮断しておけば、従来の DFF と同様に動作する. 電源遮断時にこの Tr を開き、双安定回路のデータを MTJ に書き込むことで、データの非揮発保持ができる. 双安定回路へのデータの書き戻しも容易である. Balloon-FF(B-FF[6])は R-FF の記憶ノードにパスゲートを通じてバックアップ用のラッチ(BKL)を接続して構成した. この BKL には高しき値の Tr を用いた. PG 時はスレーブラッチのデータを BKL に転送するが、BKL は DFF 部とは別の電源線に接続され DFF 部を電源遮断してもデータを保持できる. システムモデルのキャッシュ部には通常の 6T セルアレイを用い、ロジック部は CMOS バッファで代用し、これと上述の各種 FF を用いて電力解析を行った. キャッシュ部の占有率はシステム全体の 50%とし、FF のロジック部に対する占有率を R_{FF} とした. 電源遮断時、ロジック部は電源遮断し、キャッシュは $V_{DD}(=1.2V)$ でのスタンバイモードあるいは V_{DD} の 7 割のスリープモードとした.

【解析結果】図 2 に通常動作時と PG 時における各種 FF セルのリーク電力を示す. R-FF は V_{DD} 下でリテンションすると FF としてのリーク削減効果はないが、スリープモードにすることで 30%程度の電力削減が可能となる. これに対して、VNR-FF, NV-FF, B-FF ではいずれも 90%以上の電力削減効果を実現できる. 図 3 にロジックシステムにおける電力削減率の R_{FF} 依存性を示す. 点線はキャッシュが V_{DD} によるスタンバイ状態、実線は $0.7V_{DD}$ によるスリープ状態の場合である. R-FF を用いたシステムでは、電力削減率は R_{FF} に強く依存するが、これは PG 時における R-FF の待機時電力が高いことによる. 一方、VNR-FF, NV-FF, B-FF を用いた場合では、 R_{FF} に依らず、どれでも同等の高い電力削減率を実現できる. Break-even time (BET)はリテンションモードへの移行プロセスに依存し、NV-FF が一番長く、次いで B-FF, VNR-FF は B-FF と同程度かこれより短くできる. このモード移行にかかるレイテンシも同じ順序である. また、この制御に関する煩雑さも同じ順序である. 一方、セル面積は、この逆の順で小さくなる. また、不揮発記憶を用いた場合のみシステムの完全な電源遮断が可能となる(SRAM も不揮発化する). 以上を総合評価してシステムの用途から最適なものを選択する.

【謝辞】本研究の一部は東芝メモリ奨励研究の援助を受け実施された. シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである.

【参考文献】[1]Y. Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, pp. 74-83, 2007. [2] D. Kitagata *et al.*, Jpn. J. Appl. Phys. **58**, SB3B12, 2019. [3]S. Yamamoto *et al.*, Electron. Lett. **47**, 2011. [4] D. Kitagata *et al.*, IEEE S3S 2018, paper 13.5. [5]D. Kitagata *et al.*, IEEE NGCAS 2018, pp. 182-185. [6]S. Shigematsu *et al.*, IEEE J. Solid-State Circuits, **32**, pp. 861-868, 1997.

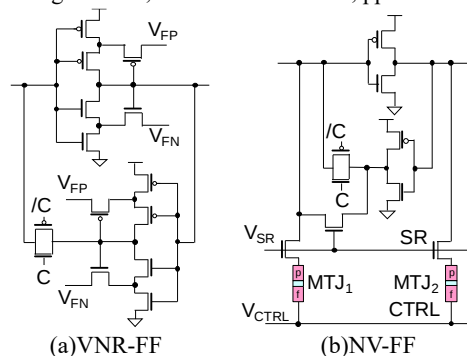


図 1 スレーブラッチ部の回路構成.

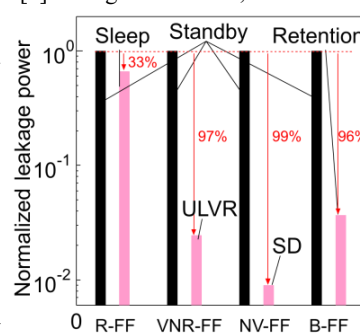


図 2 各種 FF のリーク電力

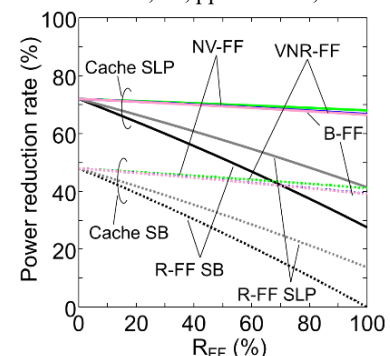


図 3 ロジックシステムにおける電力の削減率