

## Ge 清浄表面からの Y<sub>2</sub>O<sub>3</sub>/Ge pMOSFETs の作製

### Fabrication of Y<sub>2</sub>O<sub>3</sub>/Ge pMOSFETs through clean Ge surface

東京理科大学<sup>1</sup>, 産総研<sup>2</sup>, 石井寛仁<sup>1,2</sup>, 石井裕之<sup>2</sup>, 張文馨<sup>2</sup>, 森田行則<sup>2</sup>, 遠藤聡<sup>1</sup>,  
藤代博記<sup>1</sup>, 前田辰郎<sup>1,2</sup>

Tokyo University of Science<sup>1</sup>, AIST<sup>2</sup>

°H. Ishii<sup>1,2</sup>, H. Ishii<sup>2</sup>, W. H. Chang<sup>2</sup>, Y. Morita<sup>2</sup>, A. Endoh<sup>1</sup>, H. Fujishiro<sup>1</sup>, T. Maeda<sup>1,2</sup>

E-mail: h.ishii@aist.go.jp

【はじめに】Ge と絶縁膜との良好な界面形成技術は未だ十分とは言えない。特に、絶縁膜堆積前の Ge 表面状態は、界面層形成に大きな影響を与える。本研究では、絶縁膜堆積前の Ge 基板に低酸素分圧 RTA 処理を施し、自然酸化膜を除去、表面平坦化した Ge 清浄表面に [1]、絶縁膜を直積堆積することを試みた。さらに Ge pMOSFETs を作製し、電気特性を評価したので報告する。

【実験方法】Ge 基板は、化学洗浄後超高真空 RTA 装置に導入し、高純度 N<sub>2</sub> 中 640°C で RTA 処理した。その後、超高真空中で連結されたスパッタ装置にて Y<sub>2</sub>O<sub>3</sub> 膜と TaN 膜を室温で連続して堆積させた [2]。ゲート加工後、Ni を蒸着し、350°C の熱処理によって NiGe ソース/ドレインを形成した。最後に、余分な Ni をエッチングし、pMOSFET の電気特性を評価した。比較のために RTA 処理をせず、化学洗浄後の自然酸化膜上に同様なゲートスタックを堆積したものも準備した。

【結果及び考察】図 1 に TaN/Y<sub>2</sub>O<sub>3</sub>/Ge 構造の断面 TEM を示す。図 1 より、RTA をすると清浄表面にも拘わらず界面層が厚くなり、絶縁膜全体の膜厚も厚くなるのがわかる。EDX 結果からは、RTA 無しと比較して界面層への Ge の拡散が観測され、より Ge リッチなアモルファス YGeOx 界面層が形成されてい

ることがわかった。清浄表面化することで Ge 基板と絶縁膜との反応が促進され、界面層が厚膜化したと思われる。逆に、自然酸化膜由来の界面層は、Y<sub>2</sub>O<sub>3</sub> 膜との反応を抑制しているとも言える。図 2 に Ge MOSFET の I<sub>S</sub>-V<sub>G</sub> 特性を示す。RTA 有り無しではほぼ同等の IV 特性、SS 値が得られており、清浄表面からの直接絶縁膜堆積した場合でも、従来とほぼ同等の界面性能が得られることがわかった。

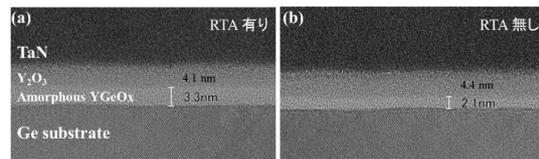


Fig. 1. Cross-sectional TEM images of TaN/Y<sub>2</sub>O<sub>3</sub>/Ge structure (a) with and (b) without RTA.

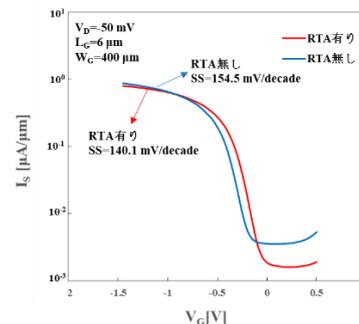


Fig. 2. I<sub>S</sub>-V<sub>G</sub> characteristics of Ge pMOSFETs.

【参考文献】 [1] Y. Morita, et al., IEDM Tech. Dig. (2015) 390. [2] 石井寛仁等、第 66 回応用物理学会春期学術講演会 9p-S221-12.