

65 nm thin BOX FDSOI での急峻 SS “PN-Body-Tied SOI-FET” 特性確認

Data of "PN-Body-Tied SOI-FET" manufactured using 65 nm thin BOX FDSOI

金沢工大, °大松 啓太, 井田 次郎, 山田 拓弥, 森 貴之

Kanazawa Inst. of Tech., °K. Daimatsu, J. Ida, T. Yamada, T. Mori

E-mail: ida@neptune.kanazawa-it.ac.jp

はじめに: Internet of Things(IoT)の発展を受け, 極低消費電力LSIの実現が求められている. そのために通常のMOSFETの理論限界である60 mV/decを切る急峻なSubthreshold Slope(SS)を持つデバイスの研究が盛んに行われている. 我々は新構造デバイスである“PN-Body-Tied (PNBT) SOI-FET”を提案し, 1mV/decを切る非常に急峻なSSを報告している[1]. これまでの試作は200nmSOI技術を使っていた.

今回, 初めて65 nm thin BOX FDSOI processでPNBT SOI-FET構造を実現するテストデバイスを設計, 試作し65 nm processでもPNBT SOI-FETの特徴であるドレイン電圧(V_d) 0.1 Vで1mV/decを切る急峻なSSの発生を確認した.

測定結果: 図1にPNBT SOI-FETの構造図を示す. 各デバイスパラメータはゲート酸化膜厚 $T_{ox} = 2$ nm, SOI膜厚 $T_{Si} = 12$ nm, 埋め込み酸化膜厚 $T_{Box} = 10$ nm, ゲート長 $L_g = 60$ nm, ゲート幅 $W_g = 1$ μ m, ベース幅 $W_b = 0.1$ μ mである. PNBT SOI-FETは奥行き方向にPNPバイポーラトランジスタを設けることで, ボディ端子からキャリアを注入し, キャリアを中性領域に蓄積させることでフローティングボディ効果を引き起こす[1]. 65nmFDSOIは, より完全なFD-SOIであるため中性領域が存在しないと想定される. そこでバックバイアスを印加することでキャリアをチャネル領域下部に蓄積させて急峻なSSを引き起こすことを狙った. 図2にドレイン電圧 $V_d = 0.1$ V, ボディ電圧 $V_b = 1.0$ V, バックバイアス $V_{sub} = 0$ V及び3.0Vの時のドレイン電流 I_d -ゲート電圧 V_g 特性を, 図3に $V_d = 0.1$ V, $V_b = 1.0$ V, $V_{sub} = 0$ V及び-2.5V, -3.0Vの時の I_d - V_g 特性を示す. 図2及び図3からわかるようにバックバイアス印加時にPNBT特有の急峻なSSの発生が確認できる. V_b, V_{sub} には, 一定のバイアスが必要であるが, これらの端子での電力消費は小さいため, $V_d = 0.1$ Vの極低電圧でSteep特性が確認できたことは, 価値があると考えられる.

謝辞: 本研究に協力して頂いたルネサスエレクトロニクス株式会社 山本 芳樹氏に感謝いたします. 本研究の一部は, JST-CREST Grant Number JPMJCR16Q1の支援を受けています.

参考文献: [1] T. Mori, and J. Ida, IEEE J-EDS vol. 6, p. 1218, 2018.

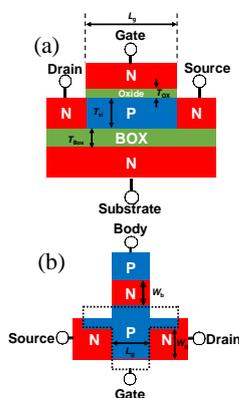


図1 PNBT SOI-FETの構造図
(a)前面図,(b)上面図

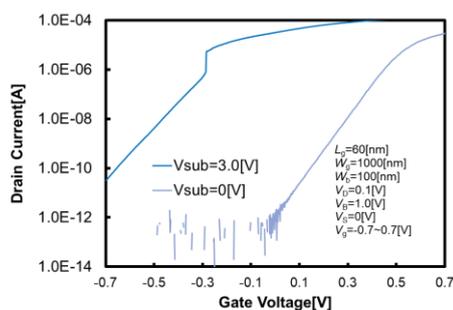


図2 バックバイアス負に印加時の I_d - V_g 特性

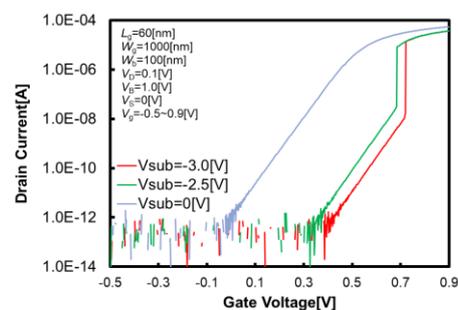


図3 バックバイアス正に印加時の I_d - V_g 特性