リーク電流低減に向けた新構造 PN-Body-Tied SOI-FET の提案

Proposal of New Structure PN-Body-Tied SOI-FET for Leakage Current Reduction

金沢工大　°森 貴之，井田 次郎，遠藤 大貴

Kanazawa Inst. of Tech., °Takayuki Mori, Jiro Ida, Hiroki Endo

E-mail: t_mori@neptune.kanazawa-it.ac.jp

はじめに: 近年，極低消費電力で動作する CMOS 集積回路を実現するために, MOSFET の理論下限である 60 mV/dec を切る急峻な Subthreshold Slope (SS)を持つ steep slope devices の研究が盛んに行われている．その中で，我々の研究室では“PN-Body-Tied (PNBT) SOI-FET”と呼ぶデバイス構造を提案し，1 mV/dec を切る非常に急峻な SS を実現している[1]．しかし, PNBT SOI-FET ではターンオフ時にリーク電流が流れることが分かっている[2].

本稿ではそのリーク電流を抑えるために，新構造の第 2 ゲート付き PNBT SOI-FET を提案する．第 2 ゲート付き PNBT SOI-FET では，各種電圧の制御を工夫することでリーク電流を削減し，高速動作が可能になる．

デバイス構造及びシミュレーション結果: 図 1 に第 2 ゲート付き PNBT SOI-FET の構造図を示す．デバイス特性の確認は TCAD “HyENEXSS”を用いたシミュレーションにより行った．通常の PNBT SOI-FET はソース/ドレインとボディ端子間に npnp 接合が存在し, MOS-Gated Thyristor を形成している[1], [3]．この Thyristor が正帰還を引き起こし，ボディ端子からのキャリア注入及び，フローティングボディ効果による急峻な SS を実現すると考えられる[1]．今回提案する構造では，第 2 ゲートを追加することで，ボディ側の N 型領域 (ベース) ポテンシャルをコントロールできるようにしている．各デバイスパラメータはゲート酸化膜厚 5 nm, SOI 膜厚 50 nm，埋め込み酸化膜厚 200 nm，第 1 ゲート長 L_g = 0.2 μm，ゲート幅 W_g = 1 μm 及び，第 2 ゲート幅 W_b = 1.2 μm に設定した．

図 2 に I_d 及びボディ電流 I_b–第 1 ゲート電圧 V_{g1} 特性を示す．第 2 ゲート電圧 V_{g2} はベース領域を N 型にするため正に印加している．第 2 ゲート付き PNBT SOI-FET においても 60 mV/dec を下回る急峻な SS が発生していることが分かる．また, I_b は I_d より小さく，ボディによる消費電力はドレインの消費電力より小さくできる可能性がある．図 3 はターンオフ時の過渡特性を示す．V_{g1} のみをターンオフ (0.4 V から 0 V)させた場合はリーク電流が 100 ms 程度の時間流れてしまう．しかし, V_b と V_{g2} を, V_{g1} と同時にターンオフさせると, 1 μs 程度で完全に立ち下がることが分かる．これは V_b と V_{g2} を立ち下げることで，動作が PNBT モードから通常 Body-Tied モードになり，蓄積キャリアがボディから排出されているためと考えられる．

謝辞: 本研究は JST-CREST JPMJCR16Q1 の支援を受けたものである．

参考文献: [1] T. Mori, and J. Ida, IEEE J-EDS vol. 6, p. 1218, 2018. [2] 遠藤，井田，他，2018 年秋季応物, 21a-CE-6. [3] D. Ueda, et al., SNW, p. 13, 2017.

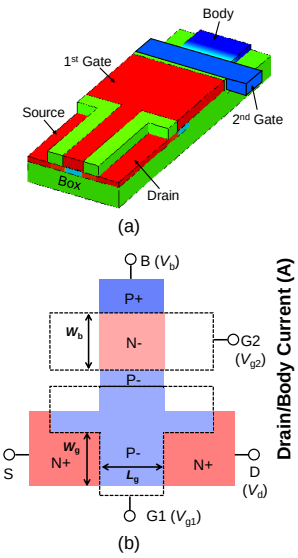

Fig. 1 Structure of PNBT SOI-FET with second gate. (a) Bird’s eye view, (b) top view.

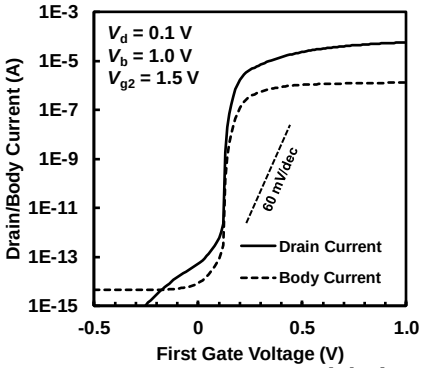

Fig. 2 Drain current and body current vs. gate voltage characteristics of PNBT SOI-FET with second gate.

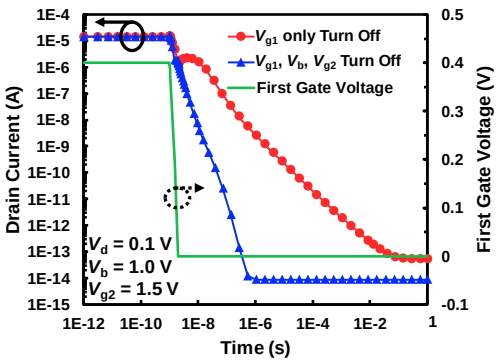

Fig. 3 Transient turn-off characteristics of PNBT SOI-FET with second gate.

© 2019年 応用物理学会