

ZnSnO/SiGe 積層構造を用いた n-および p-TFET の動作実証

Experimental demonstration of n-/p-TFET operations in a single ZnSnO/SiGe bilayer structure

¹産総研,²東大院工 ◦加藤 公彦^{1,2}, Kwangwon Jo², 松井 裕章², 田畑 仁², 森 貴洋¹, 森田 行則¹, 松川 貴¹, 竹中 充², 高木 信一²

¹AIST,² Univ. of Tokyo ◦Kimihiko Kato^{1,2}, Kwangwon Jo², Hiroaki Matsui², Hitoshi Tabata², Takahiro Mori¹, Yukinori Morita¹, Takashi Matsukawa¹, Mitsuru Takenaka², Shinichi Takagi²

E-mail: kimihiko.kato@aist.go.jp

低消費電力スイッチング素子として期待される TFET に対し、我々は、n 型酸化半導体 (n-OS) チャネルと p 型 IV 族半導体 (p-IV) ソースを積層させた積層型 TFET による高性能化を提案している[1,2]。これまで、ZnO/(Si,Ge)ヘテロ接合を用いた n-TFET の動作実証[1,3]、膜厚均一性の高いアモルファス ZnSnO チャネルを用いた n-TFET による平均 S 値の改善[4,5]などを報告してきた。n-OS/p-IV 積層型 TFET の回路応用を検討する上での残された課題の一つが p-TFET の実現である。そこで本研究では、p-TFET 動作を可能にする素子構造と素子作製プロセスを考慮したバックゲート動作 p-TFET 素子の提案と、SiGe-on-insulator (SiGe-OI) 基板を用いた n-および p-TFET 動作の実験実証の結果を紹介する。

p-TFET/n-TFET 動作を決定する鍵は、n-OS および p-IV の 2 層とゲート電極との位置関係である。これまで動作実証した n-TFET では、ゲート電極は n-OS 層の側に形成される。一方 p-TFET 動作は、p-IV 層の側に配置したゲート電極に負バイアスを印加して、p-IV の表面ポテンシャルを変調しバンド間トンネリングを引き起こし、p-IV 層中に生成された正孔を、負バイアスを印加したドレイン電極から引き抜くことで実現できる。この時、SiGe-OI 構造や適切なバックゲートの配置により、n-OS を p-IV 上に堆積させた単一の素子構造で n-TFET 動作 (トップゲートを使用) と p-TFET 動作 (バックゲートを使用) との両立が可能となり (Fig.1)、3 次元集積等へのメリットとなる。提案する素子の動作特性を TCAD シミュレーションにより解析したところ、n-OS および p-IV 各層の厚さ 10 nm において、対称性の良い I_d - V_g 特性が得られることを確かめている。

本研究では、Fig.2(a)に示す工程に従い ZnSnO/SiGe 積層型 TFET を作製した。基板には、酸化濃縮法により作製した SiGe-OI (Ge 組成: 59%、SiGe 膜厚: 17 nm、BOX 厚: 25 nm) を用いた[6]。また本研究では、Si 基板をバックゲート電極として使用した。SiGe 上に SiO₂ を堆積し、BHF により開口部を形成した。続いて、アモルファス ZnSnO 層 (Zn:Sn=1.5:1) を PLD 法により 12 nm 堆積した。上部のゲート絶縁膜/金属には、Al₂O₃/W をそれぞれ堆積した。SiGe 層および ZnSnO 層のコンタクトはそれぞれ Ni および InSnO (ITO) である。Al のコンタクト電極を形成し、350°C の PMA を施した。p-TFET/n-TFET それぞれの動作時の電極配置を Fig.1 にまとめる。

Fig.2(b)および 2(c)は、作製した単一の素子から得た p-TFET および n-TFET 動作の I_d - V_g 特性である。バックゲート動作させた p-TFET においても良好な ON/OFF スwitching が観測され、初めての p-TFET 動作実証に成功した。p-TFET/n-TFET とともにヒステリシスは非常に小さく、また、ON 電流は同程度である。しかしながら、p-TFET 動作の S 値は約 900 mV/dec と大きい。SiGe/BOX 界面の制御や OFF 電流の低減により、対称性の高い n-OS/p-IV 相補型 TFET の実現が期待される。

謝辞: 本研究は、JST CREST の支援 (課題番号: JPMJCR1332) を受けて行われた。参考文献: [1] K. Kato *et al.*, IEDM 2017, p.377. [2] K. Kato *et al.*, AIP Adv. 9, 055001 (2019). [3] K. Kato *et al.*, JAP 125, 195701 (2019). [4] K. Kato *et al.*, EDTM 2019, p.85. [5] K. Kato *et al.*, J-EDS to be published. [6] K.-W. Jo *et al.*, APL 114, 062101 (2019).

