

Smart Cut 法により作製した InAs-On-Insulator 基板への熱処理の影響 Effect of thermal annealing on InAs-On-Insulator substrates fabricated by Smart Cut

○隅田 圭, 竹安 淳, 加藤 公彦, トープラサートポン カシディット,
竹中 充, 高木 信一 (東京大学院工)

○K. Sumita, J. Takeyasu, K. Kato, K. Toprasertpong, M. Takenaka, S. Takagi
(U. Tokyo, School of Engineering)

E-mail: sumita@mosfet.t.u-tokyo.ac.jp

【背景】3次元集積 CMOS 構造[1]を実現する上で、縦方向に III-V nMOSFET と Ge pMOSFET を一体集積した構造は、低温での素子作製が可能であることから極めて有望である [2]. この CMOS の為の高品質な On-Insulator (OI)構造を実現する手法として、基板の再利用が可能で低コスト化に優れた薄膜の転写手法である Smart Cut 法が期待される. Smart Cut 法は直接基板貼り合わせと、事前に注入した水素イオンによる基板のカッティングを組み合わせることで、薄膜の転写とドナー基板の再利用を可能とする [3]. 我々は InAs-OI 構造を Smart Cut 法によって作製できることと、(111)面を用いることで格段に平坦な InAs-OI 基板が形成できることを過去に報告している [4]. しかし、転写された薄膜は多量の水素イオンが貫通しており、電子デバイス応用の為には熱処理による結晶回復が不可欠であるが、熱処理による InAs-OI 構造の結晶性への影響は未だ明らかになってはいない. 本研究では Smart Cut 法によって作製された InAs-OI 基板を評価し、熱処理によって結晶品質が著しく向上することを見出したので、これを報告する.

【実験・結果】420 nm の膜厚の InAs-OI 構造を Smart Cut 法で形成した後 [4], 転写された InAs 表面の水素が残留しているダメージレイヤーを 100 nm ウェットエッチングした. Al_2O_3 で表面を保護した後、200-400 °C の各温度で、 N_2 雰囲気下で 1 時間アニールした. その後、試料をラマン測定した結果を Fig. 1 に示す. 400 °C でアニールした基板が最も鋭い LO ピークを示すことが分かる. LO ピークの半値全幅をまとめた結果を Fig. 2 に示す. アニール前と比べて 400 °C でアニールした試料は、バルク基板と同じレベルの鋭いピークを持っていることから、高い結晶性を有することが分かる. Fig. 3 にホール測定によって得た電子移動度のアニール温度依存性を示す. Fig. 2 と同様に、400 °C のアニールが電子移動度の向上に大きく寄与することが示された.

最後に Ni-InAs ソース・ドレインを有する 20 nm の膜厚の InAs-OI MOSFET の I_D - V_G 特性を Fig. 4 に示す. アニール後の試料を CMP によって RMS を 0.3 nm まで平坦化し、ウェットエッチングによって薄膜化することで 20 nm の膜厚の InAs-OI 基板を実現した. 負のゲートバイアスにより InAs チャネルを空乏化させることで、1 桁のドレイン電流の変調を実現している. ホール測定より InAs-OI のドナー濃度は $2 \times 10^{18} \text{ cm}^{-3}$ であることが分かっており、この高いドナー濃度に対してオフ電流を十分に抑制する為には、更なる薄膜化やマルチゲート構造化が有効であると考えられる.

【謝辞】本研究は、科学研究費補助金(17H06148)及び JST CREST, JPMJCR1332 の支援により実施した.

【参考文献】[1] P. Batude *et al.*, Tech. Dig. IEDM, (2017) 52. [2] T. Irisawa *et al.*, VLSI Symp., (2014) 1. [3] J. Widiez *et al.*, ECS Trans. **64**, 35 (2014). [4] K. Sumita *et al.*, Jpn. J. Appl. Phys. **58**, SBBA03 (2019).

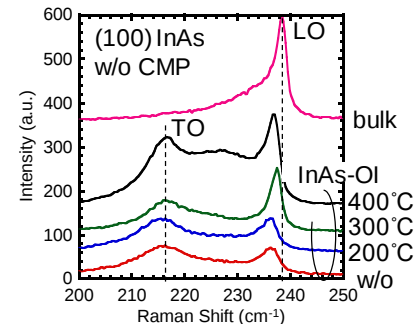


Fig. 1 Raman spectra of (100) InAs-OI annealed at various temperature for 1 h.

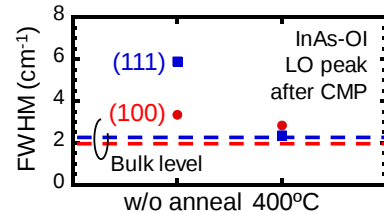


Fig. 2 FWHM at LO peak of Raman spectra of InAs-OI before and after annealing at 400 °C followed by CMP

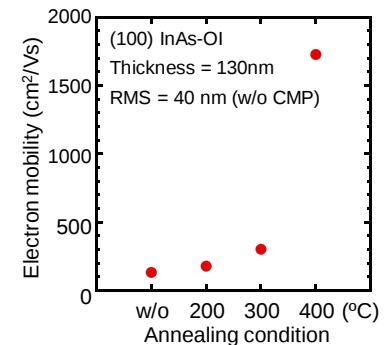


Fig. 3 Electron Hall mobility of (100) InAs-OI annealed at various temperature for 1 h before CMP

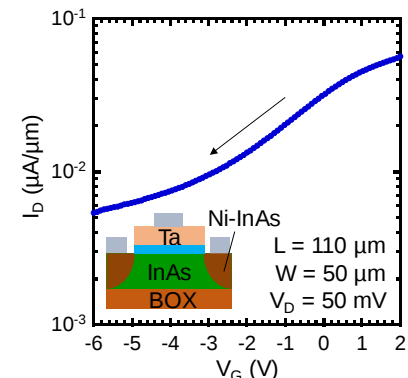


Fig. 4 I_D - V_G characteristics of 20-nm-thick InAs-OI MOSFET with Ni-InAs S/D.