

# フレキシブルカーボンナノチューブ薄膜トランジスタのヒステリシス抑制

## Suppression of Hysteresis in Flexible Carbon Nanotube Thin-film Transistors

名大工<sup>1</sup>, 名大未来研<sup>2</sup>, °嶋崎 悠斗<sup>1</sup>, 廣谷 潤<sup>1</sup>, 岸本 茂<sup>1</sup>, 大野 雄高<sup>1,2</sup>

<sup>1</sup>Dept. of Electronics, Nagoya Univ., <sup>2</sup>Inst. of Material and Systems for Sustainability, Nagoya Univ.

E-mail: yohno@nagoya-u.jp

カーボンナノチューブ薄膜トランジスタ(CNT-TFT)は高い移動度と機械的柔軟性を備え、フレキシブルエレクトロニクスへの応用が期待されている[1, 2]。一方で、大気中の水や酸素に起因するヒステリシス[3, 4]や電流ドリフトなどの不安定性が生ずることが知られている。素子安定化のためには高温でベーキングし、吸着分子を除去することが望ましいが、柔軟な基板を用いた場合、ベーキング温度に限界がある。これまでに、我々はSi基板上に作製した素子においてParylene-Cを用いて表面保護を行い、ベーキングすることによりヒステリシスの低減が可能であることを明らかにしている。これを踏まえ、本研究では、比較的高温で使用可能なポリイミドフィルムを基板として導入し、柔軟性を有する素子においてヒステリシスの低減を狙った。

Fig. 1 に作製したボトムゲート型のフレキシブルCNT-TFTの構造と写真を示す。チャンネルには半導体CNTを、基板には透明なポリイミド(三井化学 ECRIO<sup>®</sup> VICT-Bnp)を使用した。ゲート絶縁膜は原子層堆積法(ALD)により成膜したAl<sub>2</sub>O<sub>3</sub>(40 nm)である。保護膜としてParylene-C(1 μm)を堆積した後、180, 200, 250, 300 °Cでそれぞれ30 minのベーキングを行なった。チャンネル長とチャンネル幅はともに100 μmである。

Fig. 2 は、保護膜形成前および形成後(ベーキング温度: 300 °C)におけるドレイン電流( $I_D$ )-ゲート電圧( $V_{GS}$ )特性である。ヒステリシスは、ゲート掃引幅が4 Vのとき、ベーキングによって0.55 Vから0.003 Vに低減し、ヒステリシスフリーのフレキシブルCNT-TFTが得られている。なお、ゲート電圧の掃引幅を6 Vま

で増加すると、ヒステリシスの急激な増加が観測され、これはCNTからゲート絶縁膜へのホットキャリア注入によるものと考えられる。

謝辞: 半導体CNTはTASCより提供を受けた。本研究の一部は、JSPS 科研費、JST/CRESTの成果である。

[1] Q. Cao, et al., *Nature* **454**, 495 (2008).

[2] D. M. Sun, et al., *Nature Nanotechnology* **6**, 156 (2011).

[3] W. Kim, et al., *Nano Lett.* **3**, 193 (2003).

[4] C. M. Aguirre, et al., *Adv. Mater.* **21**, 3087 (2009).

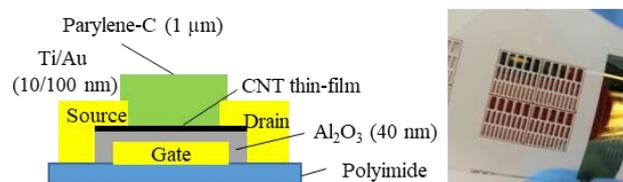


Fig. 1 Schematic structure and photograph of device.

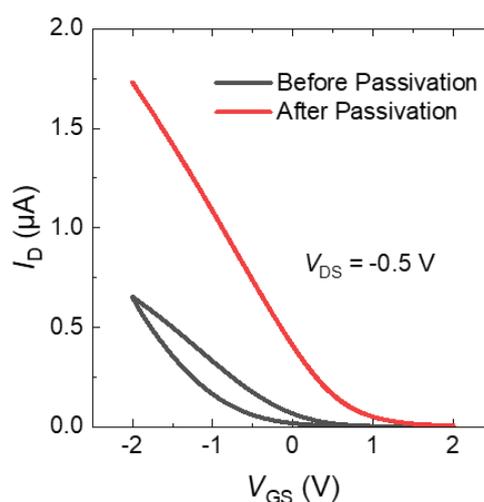


Fig. 2  $I_D$ - $V_{GS}$  Characteristics.