

Si/Hf_{0.5}Zr_{0.5}O₂ の界面特性改善に向けたアニール条件の検討

Study of annealing condition for improving quality of Si/Hf_{0.5}Zr_{0.5}O₂ interface

東京大学 田原 建人, 加藤 公彦, トーブラサートポン カシディット, 竹中 充, 高木 信一

Univ. Tokyo, Faculty of Engineering¹, ²K. Tahara, K. Kato, K. Toprasertpong, M. Takenaka, S. Takagi

E-mail: tahara@mosfet.t.u-tokyo.ac.jp

【はじめに】 近年 MOS 構造の絶縁膜に HfO₂ 系強誘電体薄膜を用いた強誘電体 FET が注目されている[1]。HfO₂ 系強誘電体の強誘電性がアニール条件に影響を受けることを示す先行研究はある[1]が、半導体との界面への影響について調べた報告は少ない。そこで本研究では、Hf_{0.5}Zr_{0.5}O₂ 強誘電体絶縁膜を用いた TiN/ Hf_{0.5}Zr_{0.5}O₂/Si MOS キャパシタを異なるアニール条件で作製し、*C-V* 測定による電气的評価を行うことで、アニール条件が MOS 界面特性に与える効果を調べたので報告する。

【実験手法】 プロセスフロー及びサンプル構造を Fig. 1 に示す。p 型 Si 基板((100)面、 $N_A \approx 2.5 \times 10^{15} \text{ cm}^{-3}$) 上に ALD 法を用いて Hf_{0.5}Zr_{0.5}O₂ を 10 nm、その上にスパッタリング法によって TiN を堆積し、N₂ 雰囲気下で 30 秒の RTA を 400°C、600°C、800°C でそれぞれ行った。その後コンタクト電極と裏面電極として Al を蒸着させ、最後に、350°C のフォーミングガスアニール (FGA) を 20 分間行った。

【実験結果】 作製した MOS キャパシタの *C-V* 測定の結果を Fig. 2 と 3 に示す。Fig. 2 から、アニール温度が高いほど *C-V* 特性の急峻性が劣化することが分かる。これは界面準位が発生したことを示唆する。金属/ Hf_{0.5}Zr_{0.5}O₂/金属の構造では 600°C までアニールすることで強誘電性が向上することが報告されている[3]が、TiN/ Hf_{0.5}Zr_{0.5}O₂/Si MOS 構造で MOS 界面特性の劣化を抑えるには、比較的低温での熱処理が必要であることが分かった。また FGA の有無を比較した Fig. 3 の *C-V* 特性の結果から、FGA により周波数分散が減少し、界面特性が改善されることが分かる。一方、 10^{15} cm^{-3} 程度の低不純物濃度の Si 基板では、反転側で Deep depletion が生じて強誘電体膜に十分な電界が印加されないため、分極反転が起こらず、結果として *C-V* 特性は電子トラップ型のヒステリシスを示す。

【結論】 TiN/ Hf_{0.5}Zr_{0.5}O₂/Si 構造の MOS キャパシタの *C-V* 測定の結果から、600°C 以上の高温での RTA によって界面の劣化が起きること、また FGA により界面を改善できることが分かった。

【謝辞】 本研究の一部は、東芝メモリ奨励研究および JST CREST の支援（課題番号：JPMJCR1332）を受けて行われた。

【参考文献】 [1] M. H. Lee *et al.*, Tech. Dig. IEDM., **616** (2015).

[2] Y. H. Chen *et al.*, IEEE Elect. Dev. Lett. **40**, 467 (2019). [3] M. H. Park *et al.*, Appl. Phys. Lett. **102**, 242905 (2013).

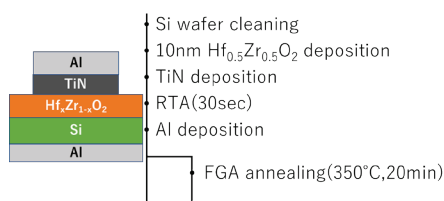


Fig. 1 Fabrication flow and device structure

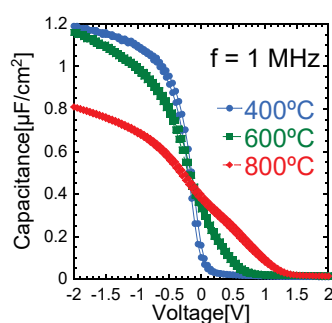


Fig. 2 *C-V* characteristics of TiN/Hf_{0.5}Zr_{0.5}O₂/Si MOS capacitors with different annealing temperatures

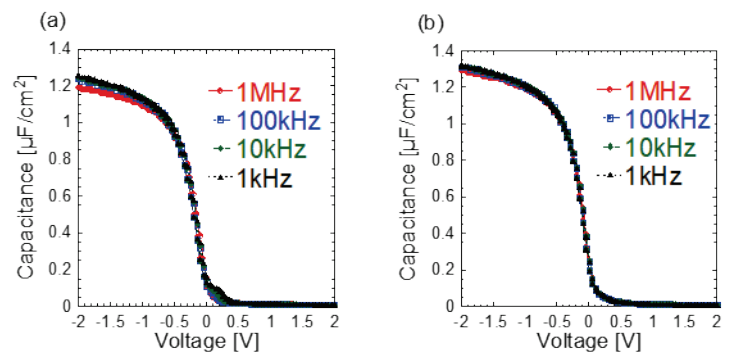


Fig. 3 *C-V* characteristics (a) before FGA and (b) after FGA