

CoO/ITO 二層構造で発現するノンポーラ閾値セクタ特性

Threshold selector operation brought about by CoO/ITO double layer structures

東理大理[○](M2) 齋藤修平, 木下健太郎Tokyo Univ. of sci., [○]S. Saitoh and K. KinoshitaE-mail: 1518523@ed.tus.ac.jp

【序論】抵抗ランダムアクセスメモリ (ReRAM) デバイスを高密度で使用するための最も有効なアレイ構造がクロスポイントアレイ構造である。しかし、クロスポイント構造には、非選択セルを回り込んで電流が流れる、スニークパス電流の問題があるため、各メモリセルにセクタデバイスを直列接続する必要がある^[1]。本研究では、酸化コバルト (CoO) / Sn ドープ In₂O₃ (ITO) のシンプルな薄膜 2 層構造において、ノンポーラ型のセクタ動作を確認したので特性の詳細について報告する。【実験方法】セクタ素子として作製した積層構造は、Pt/CoO/ITO/Glass 基板である。ITO は基板加熱温度 300°C にて RF スパッタリング法により、CoO 及び Pt は何れも室温にて DC スパッタリング法により成膜された。Pt 電極の直径は 200, 150, 100, 80 μm である。【結果】Fig. 1 に制限電流を 0.01 A から 0.1 A まで設定して計測された電流-電圧特性を示す。また、ON 電圧 V_{th} の累積確率分布を挿入図に示す。正負の電圧で対照的な、バイポーラスイッチングが確認され、 V_{th} の平均値及び標準偏差はそれぞれ 2.25 ± 0.25 V, -2.05 ± 0.30 V であった。Fig. 2 に ON 状態 (低抵抗), OFF 状態 (高抵抗) それぞれの状態における素子面積の逆数と抵抗の関係を示す。初期 (IRS) 及び高抵抗では、log-log plot は傾き約 0.5 の直線となることから、高抵抗値は電極直径に反比例し、電流は主に電極の縁を流れることが示唆される。低抵抗では抵抗値が面積に依存しないため、局所的に電流が流れると考えられる。抵抗は十数 Ω と低く、電流密度許容値 J_{on} は 20 A/cm² 以上と高い。また、挿入図に ON 時に流れる電流 I_{on} の面積依存を示す。本素子を 20 nm サイズで使用した場合、スケールアップ則より見積られる OFF 時の抵抗及び電流はそれぞれ $4.6 \times 10^7 \Omega$, 4.3×10^{-7} A となる。Table 1 にて先行する他のセクタを 20 nm 素子を想定して性能を比較した。On/Off 比, I_{off} の大きさが問題となるが、素子サイズを小さくすることで解消される。本セクタの優位性は大きな J_{on} , 小さな V_{th} ばらつき, 更に、シンプルな構造及び室温成膜が可能など点が挙げられる。予想される J_{on} は極端に高い値になっているが、ON 抵抗 R_{on} が面積に依存しないことに起因しており、素子の耐久性は考慮されていない。P 型半導体である CoO と Pt はオーミック接触しており、セクタ動作に寄与しないことから、Pt 電極を、透明電極を含む他の金属電極に交換することも可能である。

Table 1 Performance Comparison between Various Selectors

Device Type	OTS ^[1] (ovonic threshold switching)	IMT ^[2] (insulator-metal transition)	This study (at 20nm)
Material	TiN/AsTeGeSiN/TiN	TiN/NbOx/W	Pt/CoO/ITO
On/Off ratio	10 ⁴	10 ³	10 ⁶
V_{th} [V]	2-3	1.2	2-3
J_{on} [A/cm ²]	11M	10M	52G
V_{hold} [V]	NA	0.2	0.84
I_{off} [A]	10 ⁻⁶	10 ⁻⁵	10 ⁻⁷

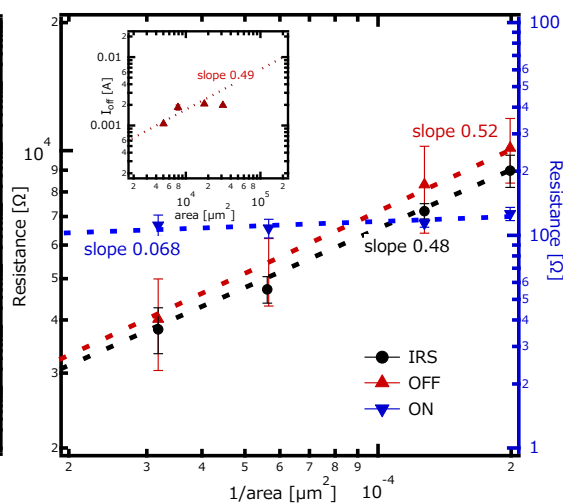
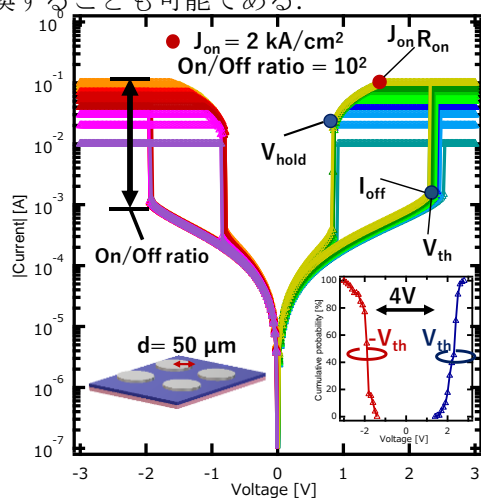


Fig. 1 I-V characteristics of the Pt/CoO/ITO selector Fig. 2 The device area dependence of resistance

[1] S. Kim *et al.*, *Proc. Symp. VLSI Technol.*, pp. T240-T241, 2013.

[2] E. Cha *et al.*, *Proc. IEEE Int. Electron Devices Meeting*, pp. 10.5.1-10.5.4, Dec. 2013.