

## InAs/InP コアシェルナノワイヤ縦型サラウンディングゲートトランジスタにおける変調ドープ構造の検討

### Modulation doping effect on vertical surrounding-gate transistors using InAs/InP core-shell nanowires

北海道大学情報科学研究科および量子集積センター

○蒲生 浩憲、本久 順一、富岡 克広

Graduate School of IST and RCIQE, Hokkaido Univ.

○Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka

E-mail: [gamou@rciqe.hokudai.ac.jp](mailto:gamou@rciqe.hokudai.ac.jp)

[はじめに] 電界効果トランジスタ(Field-effect transistors: FETs)の微細化によって、集積回路は高性能化・低消費電力化を実現してきたが、微細化限界に近づき、低消費電力化が難しくなっている。そのため、III-V 族化合物半導体ナノワイヤ(NW)が、高移動度で縦型チャンネル構造になることから次世代 FET チャンネル材料として注目されている。さらに、ナノワイヤコアシェル(CS)構造は、チャンネル全面に変調ドープ構造を形成できる利点がある[1]。我々は、これまでに、Si 上に垂直配向した InAs NW を用いたサラウンディングゲートトランジスタ(SGT)を作製してきたが、オン電流増大が課題であった。本報告では、InAs/InP CS 構造の二次元電子ガス(2DEG)形成について検討する。

[実験結果] 基板は熱酸化膜(20 nm)を形成した n 型 Si(111)を用い、有機金属気相(MOVPE)選択成長法で、InAs NW を成長した。InAs NW は、下部から Zn パルスドープ層、Si ドープ層、Sn パルスドープ層で構成されている。また、NW チャンネル形成後、膜厚 7 nm の InAsP シェル層を NW の側壁に形成した。次に、原子層堆積法により HfAlO<sub>2</sub> 膜を 10 nm 堆積し、スパッタリング法によりゲート電極(W)を成膜した。ベンゾシクロブテン(BCB)により NW を包埋し、反応性イオンエッチングで NW 上部のゲート電

極、HfAlO<sub>2</sub> 膜をエッチングすることで、サラウンディングゲート構造を作製した。最後に、BCB でゲート・ドレイン間分離層を形成し、NW 上部、基板裏面にそれぞれドレイン電極(Ti/Pd/Au)、ソース電極(Ni/Au)を蒸着し、図 1 の縦型 SGT を作製した[2]。

[結果] 図 2 に InAs NW SGT と InAs/InAsP CS NW SGT の伝達特性を示す。InAs/InAsP CS NW の特性は、SS = 88 mV/桁、I<sub>ON</sub>/I<sub>OFF</sub> = ~10<sup>5</sup>であった。InAs NW と比較すると、オン電流が 1 桁増大するが、2DEG 特有の高いオン電流は得られなかった。これは、ソースキャリア密度が低いことと、変調ドープ構造の設計に問題があるためである。InAs/InP ヘテロ界面について、1次元 Poisson-Schrödinger 方程式によるバンド構造と波動関数の計算結果を図 3 に示す。図 3 から、シェル膜厚 7 nm の場合、InAs チャンネル内ではキャリアの閉じ込めは生じず、シェル膜厚を 10 nm 以上にすると、チャンネル界面近傍に 2DEG が形成され始めることが分かった。当日は、この設計指針をもとに、InAs/InP CS NW SGT のオン電流増大化について検討する。

#### [参考文献]

[1] S. Morkötter *et al.*, Nano Lett. **15** (2015) 3295-3302

[2] H. Gamo, K. Tomioka. JCG **500** (2018) 58

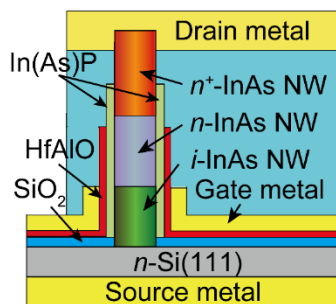


図 1 InAs/In(As)P CS NW 縦型 SGT の模式図。

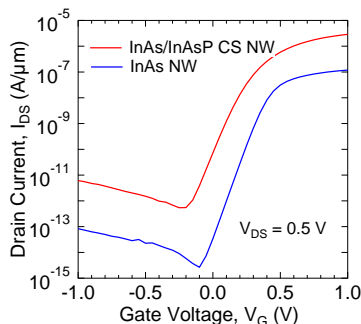


図 2 InAs/InAsP CS NW と InAs NW SGT の伝達特性。

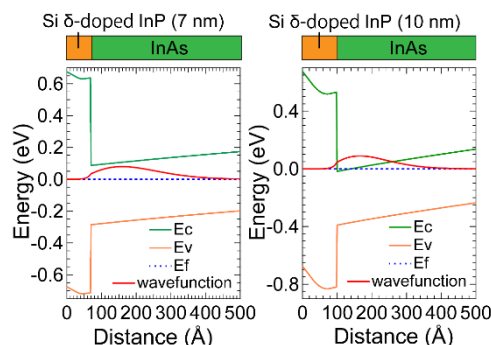


図 3 InAs/InP ヘテロ構造のバンド図と基底状態波動関数の計算。