

InP ナノワイヤサラウンディングゲートトランジスタのスイッチング特性評価

Characterization of InP nanowire surrounding-gate transistor

北海道大学情報科学研究科および量子集積センター

○勝見 悠、蒲生 浩憲、本久 順一、富岡 克広

Graduate School of IST and RCIQE, Hokkaido Univ.

○Yu Katsumi, Hironori Gamo, Junichi Motohisa, Katsuhiko Tomioka

E-mail: katsumi@rciqe.hokudai.ac.jp

[はじめに] 近年 III-V 族化合物半導体ナノワイヤが、次世代チャンネル材料・トランジスタ構造として期待されている。III-V 族化合物半導体は移動度の高さから低電圧でオン電流を増大させることができ、低電圧駆動が可能になる。また、ナノワイヤ構造は、チャンネル全方位をゲートで包埋した縦型サラウンディングゲート構造を形成でき、オフリーク電流を抑制することができる。ナノワイヤの中でも、InP ナノワイヤはウルツ鉱型単結晶構造を形成でき、ウルツ鉱特有の原子的に平坦な面を金属-酸化物-半導体(MOS)界面に応用できる利点がある[1]。

本報告では、InP ナノワイヤによる縦型サラウンディングゲートトランジスタ(SGT)特性へチャンネル長が及ぼす影響について報告する。

[実験方法] n型 InP(111)A 基板に、RF スパッタリング法により膜厚 20 nm の SiO₂ を堆積させた。次に、電子線リソグラフィ、ウェットエッチングを用いて開口部を形成し、有機金属気相(MOVPE)選択成長法により InP ナノワイヤを成長した。成長原料は、III 族原料に trimethyl indium(TMIn)、V 族原料に tertiarybutylphosphine (TBP)を用いた。成長条件は成長温度 660°C とし、Zn パルスドーピング層を 2 分 30 秒成長させた後、Si ドープ層を 1 分成長させ、Sn パルスドーピング層を 3 分成長させた。V/III 比は 24 とした。

次に、原子層堆積法により HfAlO 膜を 10 nm 堆積し、スパッタリング法により W を成膜した。次に、benzocyclobutene (BCB) でナノワイヤを包埋し、ナノワイヤ上部のゲート電極を反応性イオンエッチングでエッチングし、サラウンディングゲート構造を作製した。最後に、BCB でゲート・ドレイン間分離層を形成し、ドレイン・ソース電極(Ni/Ge/Au)を堆積させた。

[結果] Fig. 1. (a)に InP ナノワイヤの選択成長結果、(b)に InP ナノワイヤ縦型 SGT の模式

図を示す。成長したナノワイヤは平均直径が 100 nm、高さは Zn ドープ層が 420 nm、Si ドープ層が 170 nm、Sn ドープ層が 500nm と見積もられる。Fig. 2 にチャンネル長（補償ドーピング層の高さ）220 nm, 440 nm の InP SGT 素子の伝達特性を示す。チャンネル長 440 nm の試料では、V_{DS} = 0.5 V で SS = 80 mV/dec であるのに対し、チャンネル長 220 nm では、SS = 125 mV/dec とチャンネル長微細化で SS が大きくなる傾向が示される。これはチャンネル長の微細化によってトンネルリーク電流が支配的になるためである。これは DIBL でも顕著であり、チャンネル長が半減することで 137 mV/V から 635 mV/V と大きくなることから明らかである。当日は、チャンネル長依存性とアニール効果についても検討する。

[参考文献]

[1] Y. Kitauchi *et al.*, Nano Lett. **10** (2010) 1699-1703

[2] E. Nakai *et al.*, JJAP **54** (2015) 015201

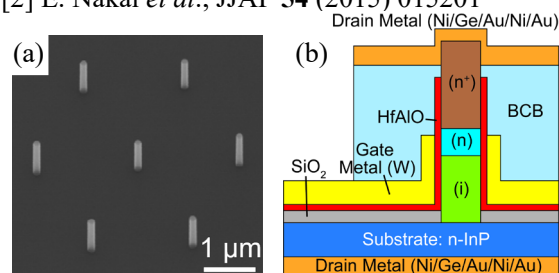


Fig. 1. (a) SEM image of InP nanowires, (b) Cross-sectional structure of InP SGT

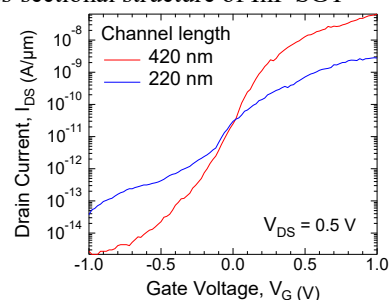


Fig. 2 Transfer characteristics of InP nanowire SGT with different channel lengths