フォトンカウンティングの実現に向けた結晶セレン膜積層型画素並列信号処理イメージセンサの検討

Crystalline Selenium-Based Stacked Pixel-Parallel CMOS Image Sensor Suitable for Single-Photon Counting

NHK 技研　°後藤 正英，為村 成亨
NHK STRL　°Masahide Goto, Shigeyuki Imura
E-mail: goto.m-fk@nhk.or.jp

【はじめに】光子を 1 つ 1 つ検出可能なフォトンカウンティングの実現を目指して、画素並列で信号処理を行う CMOS 回路 [1]上に、高効率な結晶セレン(c-Se)光電変換膜 [2]を積層したイメージセンサの研究を進めている(Fig.1)[3]。今回、c-Se 膜を積層したセンサを試作し、撮像動作を初めて確認したので報告する。

【構造と回路設計】Fig.2 に画素の断面構造を示す。シリコン基板に CMOS 信号処理回路を形成し、Au メッキと CMP により Al 配線上の絶縁膜内に Au 画素電極を埋め込む。酸化ガリウム(Ga_2O_3)膜を 20nm 成膜した後、アモルファスセレン(a-Se)膜を 300nm 成膜して大気中で低温加熱し、結晶化する。最後に、透明導電膜として ITO を 30nm 成膜する。信号処理回路の構成を Fig.3 に示す。c-Se 膜で発生した電荷がフローティングディフュージョン(FD)に入り、その電圧がコンパレータのしきい値に達すると、コンパレータ・インバータチェーンが反転してパルスを発生し、同時に FD がリセットされる。出力パルスを後段のカウンタで数えることにより、入射光量をパルスの周波数に変換して出力する。

【結果】試作したセンサの入出力特性を Fig.4 に示す。入射光に対して線形に増大するデジタル出力が得られた。Fig.5 に 128 × 96 画素による動画の撮像例を示す。c-Se 光電変換膜と画素並列信号処理回路を組み合わせた本イメージセンサの撮像動作を初めて確認した。今後は、c-Se 膜の電荷増倍作用により 1 光子を複数の電荷に増やして読み出すことで、フォトンカウンティングの実現を目指す。

1) M. Goto *et al.*, IEDM Tech. Dig., 4.2, 2014.
2) S. Imura *et al.*, IEDM Tech. Dig., 4.3, 2014.
3) S. Imura and M. Goto, Proc. IISW, R22, 2019.

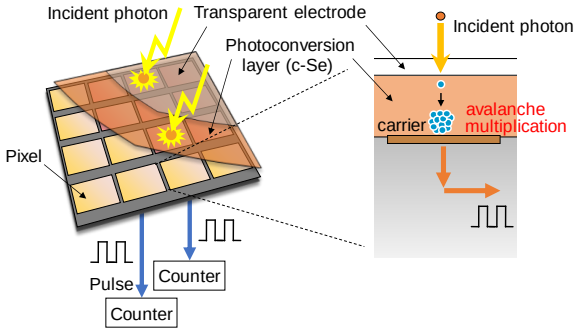

Fig.1 結晶セレン膜積層型 画素並列信号処理イメージセンサ

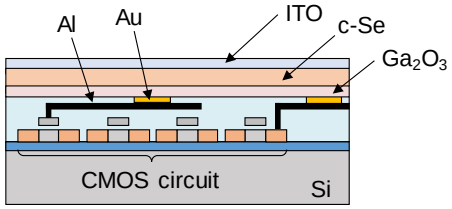

Fig.2 画素の断面構造

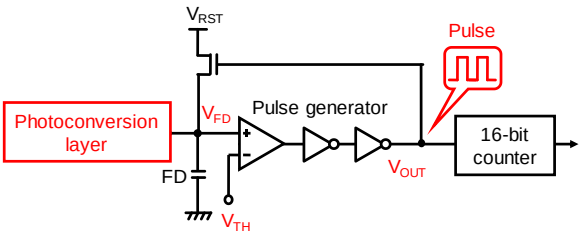

Fig.3 信号処理回路の構成

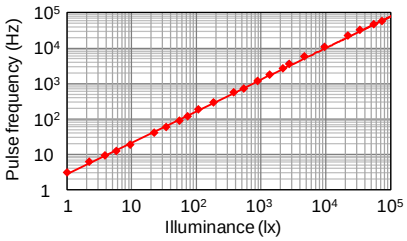

Fig.4 入出力特性

Fig.5 イメージセンサによる撮像例

© 2019年 応用物理学会