

集積化量子ビット用超伝導シリコン貫通電極 (TSV) の開発

Development of superconducting through-silicon vias (TSVs) for scalable superconducting qubits

産総研¹ ○浮辺雅宏¹, 藤井剛¹, 牧瀬圭正¹, 渡辺直也¹, 菊地克弥¹

AIST¹ ○M. Ukibe¹, G. Fujii¹, K. Makise¹, N. Watanabe¹, K. Kikuchi¹

E-mail: ukibe-m@aist.go.jp

背景: 古典計算機の限界を超える計算を可能にする超伝導量子コンピューターの実現には、多数の超伝導量子ビットの集積化が必須である。しかし、半導体回路の様な層間絶縁膜を必要とする積層化による集積は、使用する誘電体によるデコヒーレンス増大のため極めて困難である。そこで本研究では、周期的に2次元平面上に配置した量子ビットとそれら量子ビットに垂直方向からのアクセスを可能とする超伝導シリコン貫通電極 (スルーシリコンビア: TSV) を組みあわせることで量子ビットの2次元的な集積を可能とし、更に同量子ビットチップにクロストークやデコヒーレンスに寄与するマイクロ波の浮遊共鳴モードや浮遊伝搬モードを抑制する超伝導シールドキャップを超伝導体バンプを用いたフリップチップボンディングで接合する (図.1) ことで、スケラブルな超伝導量子ビット集積回路を実現する。

実験: 超伝導 TSV 作製では、シリコン基板にボッシュプロセスを用いて TSV ($\Phi 150\mu\text{m}$, 深さ $300\mu\text{m}$) の加工を行った後、その内壁に超伝導膜を成膜する。高品質な超伝導膜の成膜実現のため、本研究ではボッシュプロセスにより内壁に生じる少なくとも 100nm 程度の大きさのスキヤロップ (凸凹) を、ボッシュプロセス後のウェットエッチングにより、 10 nm 程度まで低減させた。(図.2) また、スパッタでは TSV の垂直壁上に均一な超伝導膜を成膜できないため、化学気相成長 (CVD) で成膜可能な TiN を超伝導膜として用いることとした。

CVD 装置で得られる超伝導膜の垂直穴内部への被覆状況の、原料 (プリカーサ)、成膜時の基板温度、ガス圧力、プリカーサ解離用プラズマ源の放電条件等に対する依存性を評価した。本研究は文部科学省、光・量子飛躍フラッグシッププログラム (Q-leap) Flagship プロジェクト「超伝導量子コンピューターの研究開発」の助成を受けたものである。

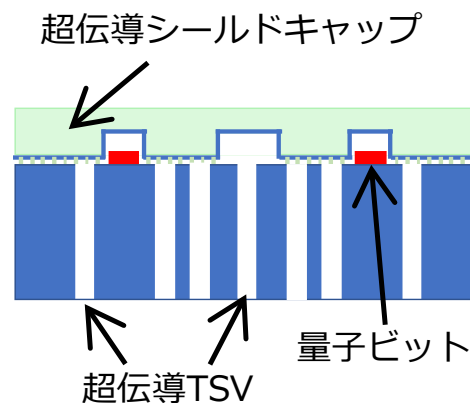


図1. 3次元構造を持つ集積化超伝導量子ビットチップ模式図

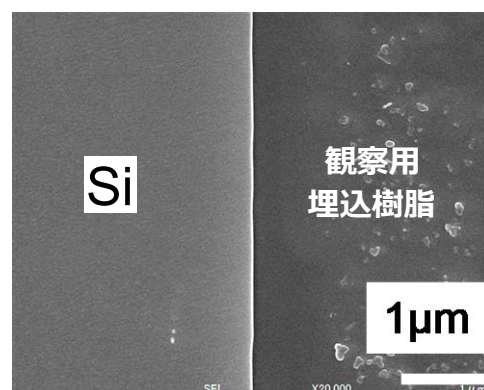


図2. TSV断面拡大写真