

CMOSプロセス加工 Siプラットフォーム上ハイブリッド光デバイスに向けた InP/Si 直接接合への Si 側ダミーパターンの影響 Effect of dummy patterns on Si wafer for InP/Si direct bonding toward hybrid photonic devices on Si-platform through CMOS process

○御手洗 拓矢¹, 稲村 美希³, 阿部 智之³, 守田 憲司¹, 雨宮 智宏^{1,2}, 西山 伸彦^{1,2}

○T. Mitarai¹, M. Inamura³, T. Abe³, K. Morita¹, T. Amemiya^{1,2}, and N. Nishiyama^{1,2}

東京工業大学 工学院電気電子系¹, 科学技術創成研究院², アユミ工業株式会社³

Dept. of EEE¹, Inst. of Innovative Research (IIR)², Tokyo Institute of Technology

Ayumi INDUSTRY³

E-mail: mitarai.t.ab@m.titech.ac.jp

1. はじめに

シリコンフォトニクス技術を用いた大規模集積回路の実現に向け、InP 系材料を Si ウェハ上にハイブリッド集積するための直接接合技術が検討されてきた[1]。一方、シリコンフォトニクス作製で利用される CMOS プロセスラインにおいては、ローディング効果の影響を排除し均一性の良いエッチングを実現するために、ダミーパターンが全面に形成される。今回、ダミーパターンによって接合にどのような影響が及ぼされるかを評価したのでご報告する。

2. 実験結果

検討を行ったダミーパターンの配置図を Fig.1 に示す。5 μm 角の正方形をダミーパターンとし、それを 5 μm の間隔で基板全面に配置している。ただし、周期的にハイブリッドデバイスとなる部分ではダミーパターンを除去している。ダミーパターンによって基板の表面の 25%がエッチングされることになる。今回は、このウェハに対し 2 mm 角にダイシングした III-V エピ小片を接合、InP 基板を除去するプロセスまでを検証した。

Direct Transfer Chip-on-Wafer Bonding 技術[2]を利用し直接接合した後、InP 基板除去のプロセスは機械研磨に引き続き GaInAs エッチングストップ層までの塩酸によるウェットエッチングにて行った。

ダミーパターンがある場合、塩酸によるサイドエッチングによる接合界面の破壊が懸念される。今回は、接合・研磨の後、元々研磨保護のため導入していたレジストにて界面を保護したウェハ（レジストをそのまま保持）と保護しなかったウェハ（エッチング前のレジスト剥離）で、塩酸エッチングの成否を比較した。

ウェットエッチングは 2 分程度、反応の終了が確認されるまで行った。界面保護を行わなかったウェハ(Fig.2)では、小片外周部が浮き上がっていることが確認された一方、界面保護を行ったウェハ(Fig.3)では外周部の浮き上がりは確認されなかった。このようなダミーパターンのあるウェハに対しては、エッチャントの接合界面の保護が必要であることが示された。

謝辞

実験にあたり議論いただいた東芝、栗田氏に感謝する。本研究の一部は、本研究の一部は JST ACCEL (JPMJAC1603), JST CREST (JPMJCR15N6), JSPS 科研費 (#16H06082, #17H03247) の援助により行われた。

文献

- [1] Y. Hayashi, et al., *Jpn. J. Appl. Phys.* **55**, 082701 (2016).
- [2] N. Nishiyama, et al., CSW2019, MoP-D-13(2019)

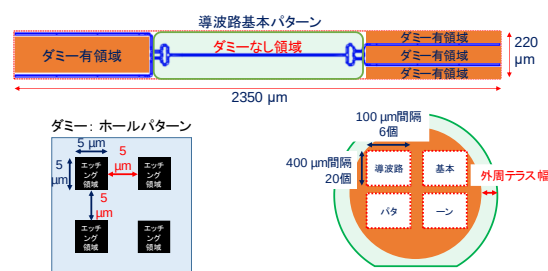


Fig. 1 Conceptual diagram of dummy patterns.

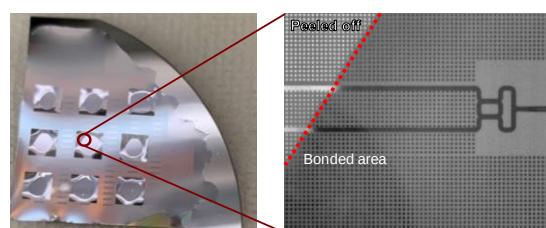


Fig. 2 Wafer after HCl etching **without** resist protection.

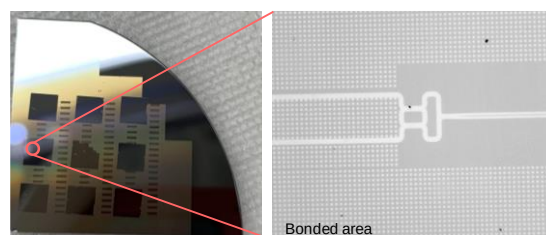


Fig. 3 Wafer after HCl etching **with** resist protection