

新規電子デバイス応用に向けた Ge ゲートスタックの低温(<300°C)形成 Low Temperature (<300°C) Fabrication of Ge MOS Structure for Advanced Electronic Devices

九大・大学院総合理工学府・研究院¹, 九大・グローバルイノベーションセンター²

○井芹 健人¹, 温 偉辰¹, 山本 圭介¹, 王 冬¹, 中島 寛²

IGSES, Kyushu Univ.¹, GIC, Kyushu Univ.²

○K. Iseri¹, W.-C. Wen¹, K. Yamamoto¹, D. Wang¹, H. Nakashima²

E-mail: iseri.kento.268@s.kyushu-u.ac.jp

1. **はじめに** 高移動度半導体であるゲルマニウム(Ge)は、次世代の高性能集積回路材料としてだけでなく、近年ではスピン FET[1]や、フレキシブルコンピュータ[2]の材料としても期待されている。一方、こうした新規電子デバイスで必要となるスピン注入電極やプラスチック基板は耐熱性に乏しい(<300°C)。すなわち、Ge が有する優れた可能性を応用に供するためには、低温のデバイスプロセスを構築しなければならない。そのひとつとして、我々はゲートスタックの低温形成を試みており、Ge 上の絶縁膜として良好な電気特性と熱的・化学的安定性を有するとの報告がある Y・Ge 混合絶縁膜(YGO)に着目し[3]、電子ビーム(EB)蒸着法による YGO ゲート絶縁膜の低温形成を行っている。その結果を報告する。

2. **実験方法** 試料作製方法を Fig. 1 に示す。HF 洗浄した n-および p-Ge(100)基板の上に EB 蒸着法で YGO ゲート絶縁膜を 200 °C にて 14 nm 堆積した。蒸着源である YGO は、粉末 Y₂O₃ と GeO₂ を原子組成比で Y/(Y+Ge)=90% となるように調製・加圧成形したものを使用した。EB 蒸着後は 300 °C で PDA を行い、ゲート電極として Al/TiN を堆積した後、フォトリソグラフィとウェットエッチングによって加工した。最後に 300 °C-30 min の CA を行い、MOS キャパシタ(CAP)を作製した。

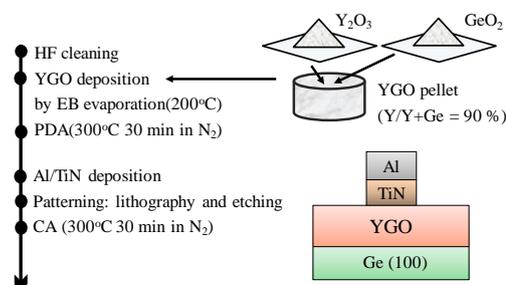


Fig. 1 Fabrication procedures for YGO MOSCAPs at low temperature (~300 °C).

3. **結果・考察** Figure 2 に、作製した MOSCAP の C-V 特性を示す。p-, n-いずれの試料も典型的な MOSCAP の C-V 特性が得られており、小さいヒステリシス(HT)を示している。YGO の等価酸化膜厚(EOT)および実効誘電率(k)は、それぞれ約 5 nm および 10.5 であり、この k 値は Y₂O₃ の実験結果[12]に近い値であった[4]。Figure 3 に示す両試料の周波数分散は比較的小さく、YGO は新規電子デバイス応用に向けた Ge ゲートスタックの低温形成に適した素材となる可能性がある。講演では、界面準位(D_{it})等の詳細についても議論する。

参考文献 [1] K. Hamaya et al., J. Phys. D, 51, 393001 (2018). [2] H. Higashi et al., APL, 111, 222105 (2017). [3] C. Lu et al., JAP, 116, 174103 (2014). [4] T. Nishimura et al., APEX, 4, 064201 (2011).

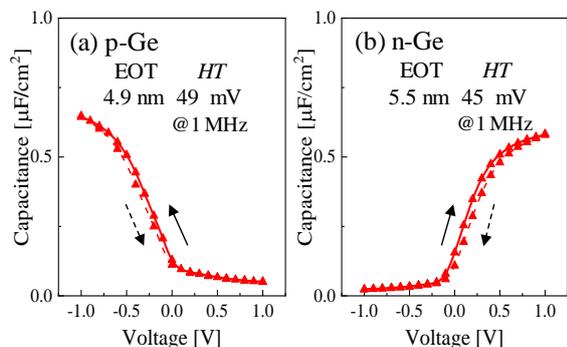


Fig. 2 High frequency C-V characteristics of the Al/TiN/YGO/Ge MOSCAPs (a) p-Ge and (b) n-Ge.

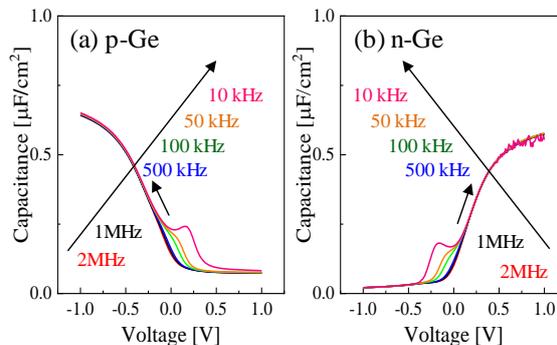


Fig. 3 C-V frequency dependence of the Al/TiN/YGO/Ge MOSCAPs (a) p-Ge and (b) n-Ge.