

Y₂O₃/SiO₂ 積層構造の絶縁膜を用いた MOS capacitor の特性評価

Electrical Characteristics of MOS Capacitors with Y₂O₃/SiO₂ Dielectric Stack

東工大工学院¹, 東工大科学技術創成研究院², ○宋禎漢¹, 太田惇丈¹, 星井拓也¹,

若林整¹, 筒井一生², 角嶋邦之¹

Tokyo Tech. School of Eng.¹, Tokyo Tech. IIR², ○J. Song¹, A. Ohta¹, T. Hoshii¹,

H. Wakabayashi¹, K. Tsutsui², K. Kakushima¹

E-mail: song.j.ac@m.titech.ac.jp

【はじめに】Y₂O₃は高い比誘電率(~15)、広いバンドギャップ(5.5eV)、高いバンドオフセット(2.3eV)、格子歪みが小さいことなどCMOS 微細化プロセスの絶縁膜として可能性を有する[1-2]。しかし、Si 基板との反応から形成されるシリケートによってFinFET の寸法が変動する可能性があり、電流特性の劣化が懸念される。本研究ではシリケート界面層を抑制したプロセスを提案し、そのキャパシタ特性を解析する。

【試料作製方法】n-Si 基板上に 200℃のALD(Atomic Layer Deposition)プロセスでY₂O₃とY₂O₃/SiO₂積層膜をそれぞれ5nm堆積した。ここで、積層膜はYとSiの原子比が1:1になるように設計した。そして両方の試料にゲート電極としてW/TiNを5nm/40nm堆積し、バックコンタクトにはAlを50nm堆積した。最後に、800℃のF.G 雰囲気中で30分間熱処理を行い、その電気特性を比較した。

【測定結果】Fig.1 に作製したキャパシタのC-V特性を示す。Y₂O₃のみのキャパシタでは熱処理前と比べ容量の減少が目立つが、Y₂O₃/SiO₂積層キャパシタでは保たれている。また、Y₂O₃のみのC-V曲線は熱処理した後、負方向にシフトしている。この結果から、SiO₂との積層構造により陽電荷を有するシリケート界面層の形成が抑制されていると考えられる。また、Fig.2に示したD_{it}から、シリケート界面層の抑制によってさらに良好な界面特性が得られることが分かる。これらの結果は、FinFETにもSi Finが消費されないシリケート化プロセスが導入できることを示唆する。

【参考文献】

[1] J. Robertson, et al., Eur. Phys. J. Appl. Phys. **28**, 265–291 (2004).

[2] J. J. Chambers, et al., J. Appl. Phys., Vol. 90, No. 2, 15 July (2001).

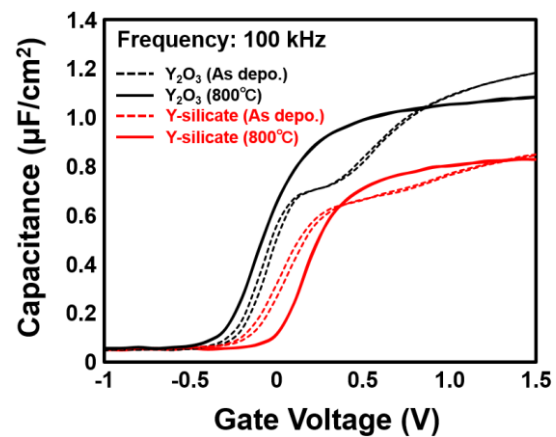


Fig. 1. C-V characteristics of Si capacitors with Y₂O₃ and Y-silicate dielectric.

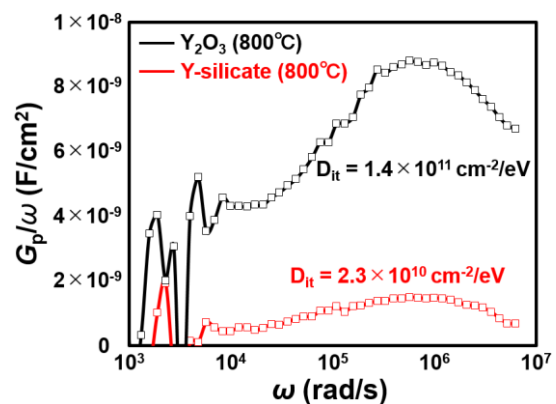


Fig. 2. G_p/ω spectra of Y₂O₃-Si and Y-silicate-Si interface by conductance method.