

Ti/Pr_{0.7}Ca_{0.3}MnO_x/Pt 素子における界面型抵抗変化現象の解析Analyses of interface-type resistive switching phenomena in Ti/Pr_{0.7}Ca_{0.3}MnO_x/Pt cells

京大院工 ○金上 尚毅, 西 佑介, 木本 恒暢

Kyoto Univ. °Naoki Kanegami, Yusuke Nishi, Tsunenobu Kimoto

E-mail: kanegami@semicon.kuee.kyoto-u.ac.jp

はじめに 抵抗変化型メモリの中でも、ペロブスカイト型酸化物である Pr_{0.7}Ca_{0.3}MnO_x(PCMO)を用いたものは連続的な抵抗変化(RS)現象を示すことが知られており[1]、ニューロモルフィックデバイスへの応用が期待されている。Ti/PCMO/Pt 積層構造を有する抵抗変化素子の RS 現象は、Ti/PCMO 界面の状態変化に起因する界面型であることを報告した[2]。本研究では、同素子における各抵抗状態の電気的特性および内部状態について詳細に調べたため報告する。

実験 Pt/SiO₂/Si 基板上に PCMO を RF スパッタリングによって堆積した。その後、円形の上部電極として Ti を EB 蒸着によって堆積した。このときの上部電極の直径は 100 μm である。この Ti/PCMO/Pt 抵抗変化素子の各抵抗状態において、断面 TEM 像の観察、オージェ電子分光法(AES)による分析および静電容量の測定を行いそれらの差異を比較・評価した。

結果 図 1 に Ti/PCMO(56 nm)/Pt 素子における典型的な RS 特性を示す。初期状態(IS)の素子の Ti 電極に正電圧を掃引することで高抵抗状態(HRS)へと遷移し、その後負電圧を掃引することで低抵抗状態(LRS)へと遷移する。また、同素子の IS および HRS(15 V まで掃引後)における断面 TEM 像を図 2 に示す。Ti/PCMO 界面に存在する中間層が HRS では増大しており、AES によりこれが TiO_x 層であることが確認された。これは、Ti 電極に正電圧を加えることで PCMO 中の酸素が Ti 側へ移動し、Ti の酸化反応が進行した結果であると考えられ、SIMS で得られた結果と整合する[2]。

次に、IS および HRS(11, 12, 15 V まで掃引後)における静電容量(100 kHz, 0 V で測定)を図 3 に示す。印加電圧を大きくするにつれて素子の容量は減少していることが分かる。このときの TiO_x 層の寄与について考察する。AES の結果より TiO_x 層および PCMO 層が膜厚方向に対して均一であることと、IS における容量が PCMO 層の膜厚にほぼ反比例することから、両金属電極と PCMO の接合容量は無視できると仮定する。この仮定のもと、PCMO 層の比誘電率を求めると~27 であった。また、断面 TEM 像より得られた 2 層の膜厚と、IS および HRS(15 V まで掃引後)における容量の差から TiO_x 層の比誘電率を求めると~15 であった。この値は TiO₂ の比誘電率から考えても大きくは乖離しない。すなわち、HRS で素子の容量が減少することは、印加電圧が大きくなるにつれて誘電率が比較的小さい TiO_x 層の膜厚が増大することを意味する。

[1] Z. L. Lia et al., *Appl. Phys. Lett.*, **94** (2009) 253503. [2] 金上 尚毅, 第 66 回春応用物理学会, 10p-W641-13(2019).

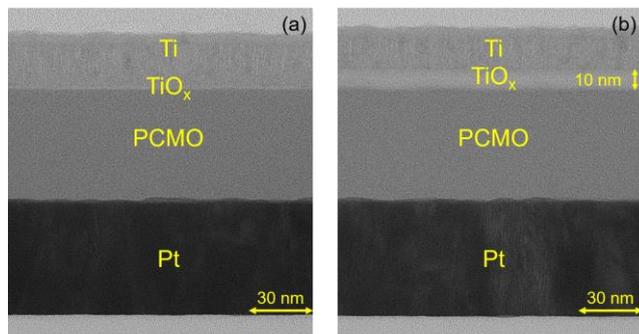


Fig 2. A cross-sectional TEM image at (a)IS and (b)HRS(swept to 15 V) in a Ti/PCMO(56 nm)/Pt cell.

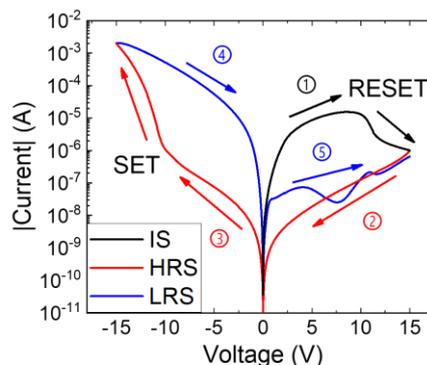


Fig 1. Interface-type RS characteristics of a Ti/PCMO(56 nm)/Pt cell.

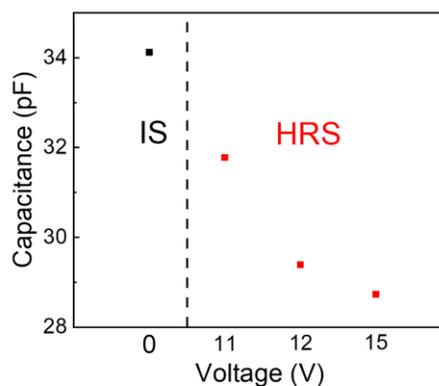


Fig 3. Capacitance (at 100 kHz, 0 V) at IS and HRS(swept to 11, 12, 15 V) in a Ti/PCMO(56 nm)/Pt cell.