

強誘電体 FET を用いたリザーバーコンピューティングの実験的検証

Experimental Examination of Reservoir Computing with Ferroelectric FET

名幸 瑛心, トープラサートポンカシディット, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一(東大工)

°Eishin Nako, Kasidit Toprasertpong, Ryosho Nakane, Yuto Miyatake, Mitsuru Takenaka, Shinichi Takagi

(Univ. Tokyo, School of Engineering)

E-mail: nako@mosfet.t.u-tokyo.ac.jp

【はじめに】我々は、記憶の保持と非線形性が必要なリザーバーコンピューティング (RC) [1]を実現するハードウェアとして、強誘電体による記憶の保持と非線形応答を併せ持つ強誘電体 FET (FeFET)を用いることを提案している[2]。本研究では、実際に FeFET を用いて、RC に求められる入力情報の非線形高次元マップと短期記憶が実現できるかどうかを実験的に調べたので報告する。

【実験手法】実験には、TiN/Hf_{0.5}Zr_{0.5}O₂(10 nm)/SiO₂ (0.5 nm)をゲートスタックに持つ Si FeFET を用いた。Hf_{0.5}Zr_{0.5}O₂は、ALD 法により 300 °C で堆積を行い、400 °C で熱処理を行なった。ゲート長 25 μm、ゲート幅 100 μm FeFET を用いて、Fig. 1 に示す実験系で評価を行った。入力として学習用に 1600 個、検証用に 160 個のデジタル信号 $S_{in}(t)$ を用意し、1 を 4 V、0 を -2 V としして電圧をゲートに印加した。入力する値は時間間隔 T で更新した。今回は $T=200$ ns とした。ゲートからの入力に対する応答としてドレイン電流を 10 ns 間隔で測定した。1 入力信号あたり 20 点の測定点を得られるが最初の 3 点は電圧が過渡状態にあるため棄却し、17 個の電流値から内部状態ベクトル $\mathbf{x}(t)$ を生成した。この時の電圧・電流波形を Fig. 2 に示す。今回は、Short Term Memory (STM)タスクと Parity Check (PC)タスクを実行した[3]。STM はどの程度記憶を保持できるかを、PC は RC に必要な非線形性を見るタスクである。

はじめに学習用の 1600 個の信号を使って学習を行った。出力 $y_{out}(t)$ は下式に示すように内部状態ベクトル $\mathbf{x}(t)$ と重みベクトル $\mathbf{w}$ の内積で導かれる。

$$y_{out}(t) = \mathbf{w} \cdot \mathbf{x}(t) \quad (1)$$

$y_{out}(t)$ が学習に用いる出力 $y_{train}(t)$ に近い値になるように、下式で与えられる平均二乗誤差 MSE を最小化する重みベクトルを決定した。

$$MSE = \frac{1}{L} \sum_{t=1}^L [y_{train}(t) - y_{out}(t)]^2 \quad (2)$$

ただし、 L はデータの個数でありここでは 1600 個である。学習に用いる出力 $y_{train}(t)$ は実行するタスクで異なる。STM は下式の様に、 T の整数倍の時間 T_{delay} 前の入力信号である。

$$y_{STM}(t, T_{delay}) = S_{in}(t - T_{delay}) \quad (3)$$

PC は下式の様に、 T_{delay} から今現在までの入力の総和を 2 で割った余りである。

$$y_{PC}(t, T_{delay}) = S_{in}(t - T_{delay}) + \dots + S_{in}(t) \pmod{2} \quad (4)$$

学習完了後、学習用の 160 個のデジタル信号を入力した。学習結果の正確さを下式の相関係数の 2 乗によって求める。

$$\text{Cor}(T_{delay})^2 = \frac{\text{Cov}[y_{train}(t, T_{delay}), y_{out}(t)]^2}{\text{Var}[y_{train}(t, T_{delay})] \text{Var}[y_{out}(t)]} \quad (5)$$

相関係数の 2 乗が 1 に近ければより高い精度の学習ができたということになる。

【実験結果】実験の結果を Fig. 3 に示す。STM、PC とともに入力信号 2 個前 (400 ns 前) まで記憶保持性と非線形性を示すことが確認できる。

【結論】記憶容量と非線形性に関する実験結果から、FeFET は RC 用素子として利用できる可能性があることが分かった。

【参考文献】 [1] G. Tanaka *et al.*, Neural Networks **115**, 100 (2019). [2] トープラサートポンカシディット他、第 80 回応用物理学会秋季学術講演会 (2019). [3] T. Furuta *et al.*, Phys. Rev. Applied **10**, 034063(2018).

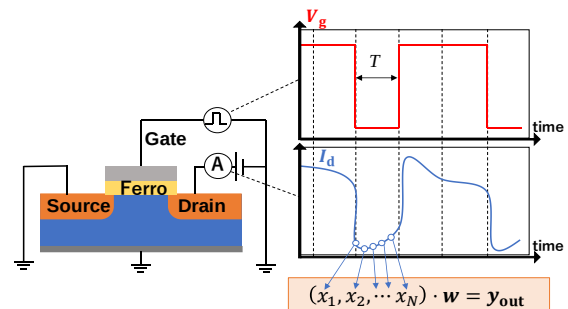


Fig. 1: Schematic chart of experiments

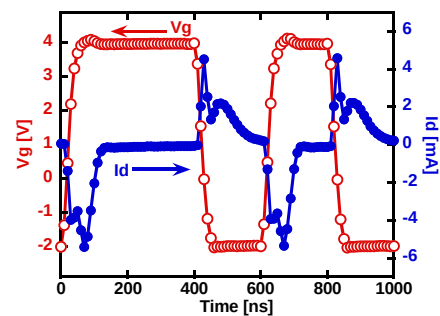


Fig. 2: Waveform of V_g and I_d

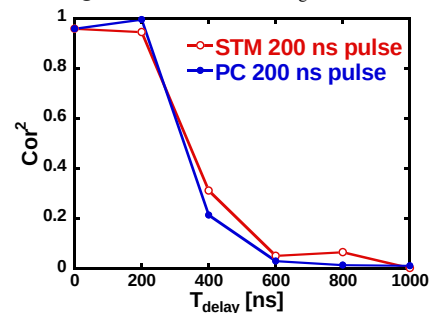


Fig. 3: Experimental result of short-term memory task and parity check task by FeFET reservoir